

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-162348

(43)Date of publication of application : 20.06.1997

(51)Int.Cl.

H01L 23/50
C23C 14/14
H01L 21/56
H01L 21/60
H01L 21/60
// H01L 21/321

(21)Application number : 07-322803

(71)Applicant : FUJITSU LTD

(22)Date of filing : 12.12.1995

(72)Inventor : YONEDA YOSHIYUKI

TSUJI KAZUTO

ORIMO MASAICHI

NOMOTO TAKASHI

SAKOTA EIJI

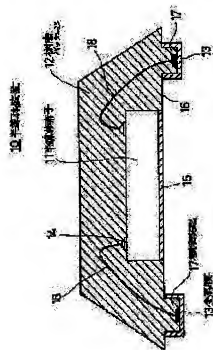
ONODERA MASANORI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF, AND LEAD FRAME AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce mounting area to contrive miniaturization by forming resin projections on the mounting side surface of a resin package, providing metal films on the resin projections, and electrically connecting the metal films to electrode pads on a semiconductor device.

SOLUTION: A semiconductor device 11 has a plurality of electrode pads 14 formed on the upper surface thereof, and is mounted on the device fixing resin 15 and is sealed by a resin package 12. The resin package 12 has resin projections 17 formed integrally therewith on the mounting surface 16 thereof at the predetermined positions, and metal films 13 covering the resin projections 17 are provided. These metal films 13 are



connected to the electrode pads 14 via wires 18. Thus, inner leads and outer leads become unnecessary, and mounting can be carried out by using the metal films 13 formed on the projections 17 as external terminals, so that small mounting area and miniaturization can be achieved.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-162348

(43) 公開日 平成9年(1997)6月20日

(51) Int. Cl. ⁶	識別記号	片内整理番号	P I	技術表示箇所
H 0 1 L 23/50			H 0 1 L 23/50	M
C 2 3 C 14/14			C 2 3 C 14/14	G
H 0 1 L 21/56			H 0 1 L 21/56	R
21/60	3 0 1		21/60	3 0 1 A
	3 1 1			3 1 1 Q
審査請求 未請求 請求項の救済 O L (全 24 頁) 最終頁に続く				

(21) 出願番号	特願平7-322303	(71) 出願人	00000823 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	平成7年(1995)12月12日	(72) 発明者	米田 隆之 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(72) 発明者	辻 和人 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(74) 代理人	弁理士 伊東 忠彦
		最終頁に続く	

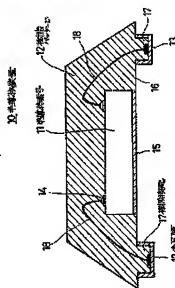
(54) 【発明の名称】 半導体装置及びその製造方法及びリードフレーム及びその製造方法

(57) 【要約】

【課題】 本発明はリードレス表面実装型かつ樹脂封止型の半導体装置及びその製造方法、及びこの半導体装置を製造するために用いるリードフレーム及びその製造方法に関し、実装面積が小さく、コストが低く、かつ小型化を図ることを課題とする。

【解決手段】 半導体素子11と、この半導体素子11を封止する樹脂パッケージ12と、この樹脂パッケージ12の実装側面16に突出形成された樹脂突起178と、この樹脂突起17に配設された金属端子13と、前記半導体素子11上の電極パッド14と金属端子13とを電気的に接続するワイヤ18とを具備した構成とする。

本発明の半導体装置の実施例である半導体装置の断面図



1

【特許請求の範囲】

【請求項 1】 半導体素子と、
該半導体素子を封止する樹脂パッケージと、
該樹脂パッケージの表面側面に突出形成された樹脂突起と、
該樹脂突起に配設された金属膜と、
前記半導体素子上の電極パッドと前記金属膜とを電気的に接続する接続手段とを具備することを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、
前記金属膜を銀（Ag）及びパラジウム（Pd）のうち一つにより形成したことを特徴とする半導体装置。

【請求項 3】 請求項 1 記載の半導体装置において、
前記金属膜を外層よりパラジウム（Pd）層及び金（Au）層の二層により形成したことを特徴とする半導体装置。

【請求項 4】 請求項 1 記載の半導体装置において、
前記金属膜を、外層より金（Au）層、ニッケル（Ni）層、金（Au）層の三層膜、外層よりパラジウム（Pd）層、ニッケル（Ni）層、パラジウム（Pd）層の三層膜、外層より金（Au）層、パラジウム（Pd）層、金（Au）層の三層膜、外層より半田層、ニッケル（Ni）層、金（Au）層の三層膜、及び外層より半田層、ニッケル（Ni）層、パラジウム（Pd）層の三層膜のうち一つの三層膜により形成したことを特徴とする半導体装置。

【請求項 5】 請求項 1 記載の半導体装置において、
前記金属膜を外層より半田層、ニッケル（Ni）層、パラジウム（Pd）層、金（Au）層の四層膜、及び外層よりパラジウム（Pd）層、ニッケル（Ni）層、パラジウム（Pd）層、金（Au）層の四層膜のうち一つの四層膜により形成したことを特徴とする半導体装置。

【請求項 6】 請求項 1乃至5のいずれかに記載の半導体装置を製造する際に用いるリードフレームであって、
前記樹脂突起と対応する位置に形成された凹部と、
該凹部に形成された請求項 1乃至5のいずれかに記載の金属膜とを具備することを特徴とするリードフレーム。

【請求項 7】 請求項 6 記載のリードフレームの製造方法であって、
基材両面にエッチングレジストを塗布するレジスト塗布工程と、
前記エッチングレジストの凹部形成位置に対応する部位を除去して所定のレジストパターンを形成するレジストパターン形成工程と、
前記基板上の前記凹部形成位置に凹部を形成するエッチング工程と、
該エッチング工程で形成された凹部内に、請求項 1乃至1のいずれかに記載の金属膜を形成する金属膜形成工程と、
前記エッチングレジストを除去するレジスト除去工程と

(2)

特開平9-162348

2

を具備することを特徴とするリードフレームの製造方法。

【請求項 8】 請求項 7 記載のリードフレームの製造方法において、
前記金属膜形成工程ではメッキ法を用いて前記金属膜を形成すると共に、
前記レジストパターン形成工程では前記メッキ処理に用いる電極が接続される給電部に対応する位置の前記エッチングレジストを除去することを特徴とするリードフレームの製造方法。

【請求項 9】 請求項 6 記載のリードフレームを用いた半導体装置の製造方法において、
前記リードフレームに半導体素子を搭載する素子搭載工程と、
前記半導体素子に形成された電極パッドと、前記リードフレームに形成されている前記金属膜とを電気的に接続する接続工程と、
前記リードフレーム上に、前記半導体素子を封止するよう樹脂を形成し樹脂パッケージを形成する封止工程と、
前記リードフレームから前記樹脂パッケージを前記金属膜と共に分離する分離工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 9 記載の半導体装置の製造方法において、
前記接続工程では前記電極パッドと前記金属膜とを電気的に接続する方法としてワイヤボンディング法を用いると共に、
先ず前記金属膜にワイヤの一端を接続し、続いて前記金属膜から前記電極パッドにワイヤを引き出した上でワイヤの他端部を前記電極パッドに接続することを特徴とする半導体装置の製造方法。

【請求項 11】 請求項 9 または 10 記載の半導体装置の製造方法において、
前記分離工程では前記樹脂パッケージを前記リードフレームから引き剥がすことにより分離することを特徴とする半導体装置の製造方法。

【請求項 12】 請求項 9 または 10 記載の半導体装置の製造方法において、
前記分離工程では前記リードフレームを前記金属膜を残して溶解して前記樹脂パッケージを分離することを特徴とする半導体装置の製造方法。

【請求項 13】 請求項 9乃至12のいずれかに記載の半導体装置の製造方法において、
前記封止工程では、前記樹脂パッケージを前記リードフレーム上に複数個夫々独立した構成で一括的に形成すると共に、
前記樹脂パッケージの形成前、または形成後に前記複数個の樹脂パッケージを連結するテープ部材を配設するテープ配設工程を有することを特徴とする半導体装置の製造方法。

(3)

特開平9-162348

3

【請求項14】 請求項9乃至12のいずれかに記載の半導体装置の製造方法において、前記防止工程では、前記樹脂パッケージを前記リードフレーム上に複数個夫々連結樹脂部で接続された構成で一括的に形成すると共に、前記分離工程を実施した後に前記連結樹脂部を除去する連結樹脂除去工程を有することを特徴とする半導体装置の製造方法。

【請求項15】 半導体素子と、該半導体素子を封止する樹脂パッケージと、該樹脂パッケージの実装面に設けられた金属膜と、前記半導体素子上の電極パッドと前記金属膜とを電気的に接続する接続手段とを具備することを特徴とする半導体装置において、前記樹脂パッケージを少なくとも上層2層の樹脂部により構成したことを特徴とする半導体装置。

【請求項16】 請求項15記載の半導体装置において、前記樹脂パッケージの最下層に位置する樹脂部は、前記実装面に突出形成された樹脂突起を有しており、該樹脂突起に前記金属膜が形成されていることを特徴とする半導体装置。

【請求項17】 請求項15記載の半導体装置において、前記樹脂パッケージの最下層に位置する樹脂部を絶縁性樹脂テープにより形成されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置及びその製造方法及びリードフレーム及びその製造方法に係り、特にリードレス表面実装型かつ樹脂封止型の半導体装置及びその製造方法、及びこの半導体装置を製造するために用いるリードフレーム及びその製造方法に関する。

【0002】 近年、電子機器の小型化により樹脂封止型の半導体装置に求められるリードのピッチが小さくなる傾向にある。そのため、樹脂封止型の半導体装置において新たな構造、製造方法が必要となる。

【0003】

【従来の技術】 図52及び図53は、従来の樹脂封止型半導体装置の断面を示す図である。図52において、1は樹脂、2は半導体素子、3はアウターリード、4はボンディングワイヤ、5はダイパッドを示す。この半導体装置はSOP(Shrink Small Outline Package)と呼ばれるパッケージ構造のものであり、アウターリード3がガルーピング状に曲げられて基板に実装される構成とされる。

【0004】 また、図53において、1は樹脂、2は半導体素子、4はボンディングワイヤ、6は半田ボール、7はチップ2を搭載する搭載基板を矢示している。こ

4

の半導体装置はBGA(Ball Grid Array)と呼ばれるパッケージ構造のものであり、基板に実装される端子部分が半田ボール6により形成されている。

【0005】

【発明が解決しようとする課題】 しかるに、図52に示すSOPタイプの半導体装置では、樹脂1内に示すインナーリード8からアウターリード3への引き出し部分9の面積や、アウターリード3自身の占める面積が大きくなり、実装面積が大きくなっていくという問題点があった。

【0006】 また、図53に示されるBGAタイプの半導体装置では、搭載基板7を用いる点で、コストが高くなっていくという問題点があった。本発明は上記の点に鑑みてなされたものであり、実装面積が小さく、コストが低く、かつ小型化を図りうる樹脂封止型半導体装置及びその製造方法、及び上記半導体装置を製造する際に用いるリードフレーム及びその製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】 上記の課題は、下記の手段を採ることにより解決することができる。請求項1記載の発明では、半導体素子と、該半導体素子を封止する樹脂パッケージと、該樹脂パッケージの実装面に突出形成された樹脂突起と、該樹脂突起に設けられた金属膜と、前記半導体素子上の電極パッドと前記金属膜とを電気的に接続する接続手段とを具備することを特徴とするものである。

【0008】 また、請求項2記載の発明では、前記請求項1記載の半導体装置において、前記金属膜を銀(Ag)及びパラジウム(Pd)のうち一つにより形成したことを特徴とするものである。

【0009】 また、請求項3記載の発明では、前記請求項1記載の半導体装置において、前記金属膜を外層よりパラジウム(Pd)層及び金(Au)層の二層により形成したことを特徴とするものである。

【0010】 また、請求項4記載の発明では、前記請求項1記載の半導体装置において、前記金属膜を、外層より金(Au)層、ニッケル(Ni)層、金(Au)層の三層、外層よりパラジウム(Pd)層、ニッケル(Ni)層、パラジウム(Pd)層の三層、外層より金(Au)層、パラジウム(Pd)層の三層、外層より金(Au)層の三層、及び外層より半田層、ニッケル(Ni)層、パラジウム(Pd)層の三層のうちの三層より形成したことを特徴とするものである。

【0011】 また、請求項5記載の発明では、前記請求項1記載の半導体装置において、前記金属膜を外層より半田層、ニッケル(Ni)層、パラジウム(Pd)層、金(Au)層の四層、及び外層よりパラジウム(Pd)層、ニッケル(Ni)層、パラジウム(Pd)層、

特開平9-162348

(4)

6

金(Au)層の四層膜のうち一つの四層膜により形成したことを特徴とするものである。

【0012】また、請求項9記載の発明では、前記請求項1乃至5のいずれかに記載の半導体装置を製造する際に用いるリードフレームであって、前記樹脂突起と対応する位置に形成された凹部と、該凹部に形成された請求項1乃至5のいずれかに記載の金属膜とを具備することを特徴とするものである。

【0013】また、請求項7記載の発明では、前記請求項6記載のリードフレームの製造方法であって、基材両面にエッチングレジストを塗布するレジスト塗布工程と、前記エッチングレジストの凹部形成位置に対応する部位を除去して所定のレジストパターンを形成するレジストパターン形成工程と、前記基板の前記凹部形成位置に凹部を形成するエッチング工程と、該エッチング工程で形成された凹部内に、請求項1乃至11のいずれかに記載の金属膜を形成する金属膜形成工程と、前記エッチングレジストを除去するレジスト除去工程とを具備することを特徴とするものである。

【0014】また、請求項8記載の発明では、前記請求項7記載のリードフレームの製造方法において、前記金属膜形成工程ではメッキ法を用いて前記金属膜を形成すると共に、前記レジストパターン形成工程では前記メッキ処理に用いる電極が接続される給電部に対応する位置の前記エッチングレジストも除去することを特徴とするものである。

【0015】また、請求項9記載の発明では、前記請求項6記載のリードフレームを用いた半導体装置の製造方法において、前記リードフレームに半導体素子を搭載する素子搭載工程と、前記半導体素子に形成された電極パッドと、前記リードフレームに形成されている前記金属膜とを電気的に接続する接続工程と、前記リードフレーム上に、前記半導体素子を封止するよう樹脂を形成し樹脂パッケージを形成する封止工程と、前記リードフレームから前記樹脂パッケージを前記金属膜と共に分離する分離工程とを具備することを特徴とするものである。

【0016】また、請求項10記載の発明では、前記請求項9記載の半導体装置の製造方法において、前記接続工程では前記電極パッドと前記金属膜とを電気的に接続する方法としてワイヤボンディング法を用いると共に、先ず前記金属膜にワイヤの一端を接続し、続いて前記金属膜から前記電極パッドにワイヤを引き出した上ワイヤの他端部を前記電極パッドに接続することを特徴とするものである。

【0017】また、請求項11記載の発明では、前記請求項9または10記載の半導体装置の製造方法において、前記分離工程では前記樹脂パッケージを前記リードフレームから引き離すことにより分離することを特徴とするものである。

【0018】また、請求項12記載の発明では、前記請求

項9または10記載の半導体装置の製造方法において、前記分離工程では前記リードフレームを前記金属膜を挟んで溶解して前記樹脂パッケージを分離することを特徴とするものである。

【0019】また、請求項13記載の発明では、前記請求項9乃至12のいずれかに記載の半導体装置の製造方法において、前記封止工程では、前記樹脂パッケージを前記リードフレーム上に複数個夫々独立した構成で一体的に形成すると共に、前記樹脂パッケージの形成前、または形成後に前記複数個の樹脂パッケージを接続するテープ部材を配置するテープ配置工程を有することを特徴とするものである。

【0020】また、請求項14記載の発明では、前記請求項9乃至12のいずれかに記載の半導体装置の製造方法において、前記封止工程では、前記樹脂パッケージを前記リードフレーム上に複数個夫々連結樹脂部で接続された構成で一括的に形成すると共に、前記分離工程を実施した後に前記連結樹脂部を除去する連結樹脂除去工程を有することを特徴とするものである。

【0021】また、請求項15記載の発明では、半導体素子と、該半導体素子を封止する樹脂パッケージと、該樹脂パッケージの実装面に配置された金属膜と、前記半導体素子上の電極パッドと前記金属膜とを電気的に接続する接続手段とを具備することを特徴とする半導体装置において、前記樹脂パッケージを少なくとも上下2層の樹脂部により形成したことを特徴とするものである。

【0022】また、請求項16記載の発明では、前記請求項15記載の半導体装置において、前記樹脂パッケージの最下層に位置する樹脂部は、前記実装面に突出形成された樹脂突起を有しており、該樹脂突起に前記金属膜が形成されていることを特徴とするものである。

【0023】更に、請求項17記載の発明では、前記請求項15記載の半導体装置において、前記樹脂パッケージの最下層に位置する樹脂部を絶縁性樹脂テープにより形成されていることを特徴とするものである。

【0024】上記の各手段は、次のように作用する。請求項1記載の発明によれば、インカーリードやアウターリードが不要となり、樹脂突起に形成された金属膜を外部端子として実装することができ、実装面積を小さくできる。また、半導体装置内にリードフレームが配設されないため、コストの低減を図ることができる。更に、樹脂突起及び金属膜は、BGAタイプの半導体装置の半田パンプと同等の機能を奏するため、実装性を向上させることができる。

【0025】また、請求項2乃至5記載の発明によれば、金属膜を単層とした場合には、接続手段(例えば、ワイヤボンディング)の接合性及び半田付け性が共に良好な金属を金属膜として用い、また複数層を積層した金属膜の場合には、最内層を接続手段の接合性が良好な金属とし、かつ最外層を半田付け性が共に良好な金属とし

特開平9-162348

7

たことにより、半導体素子と金属膜との電気的接続及び金属基板と実装基板との電気的接続を共に良好とすることができる。

【0026】また、請求項7記載の発明によれば、凹部と金属膜が形成されただけの簡単な構成のリードフレームにより、請求項1乃至5のいずれかに記載の半導体装置を製造することができる。また、請求項7記載の発明によれば、レジスト塗布、レジストパターン形成、エッチング、金属膜形成、及びレジスト除去等の簡単な工程によりリードフレームを形成することができる。

【0027】また、請求項8記載の発明によれば、レジストパターン形成工程において給電部に対応する位置のエッチングレジストも除去されるため、給電部の形成を容易に行うことができる。また、請求項9記載の発明によれば、リードの切断処理、及びリードを所定形状（例えばガルウィング形状）に成形する工程が不要となり、半導体装置の製造工程を簡単化することができる。

【0028】また、請求項10記載の発明によれば、先ず金属膜にワイヤの一端を接続し、続いて金属膜から電極パッドにワイヤを引き出した上でワイヤの他端部を電極パッドに接続する、いわゆる進打ちのワイヤボンディング法を用いたことにより、ワイヤパールの低付化を図ることができる。これに伴い半導体装置の低背化を図ることができる。

【0029】また、電極パッドの配設ピッチは金属膜の配設ピッチに比べて狭い。また、ワイヤボンディング処理においてファーストボンディングのボンディング領域は、セカンドボンディングのボンディング領域よりも広い。よって、配設ピッチの広い金属膜にファーストボンディングを行い、配設ピッチの狭い電極パッドにセカンドボンディングを行う構成とすることにより、高密度にワイヤの配設を行うことが可能となる。

【0030】また、請求項11記載の発明によれば、分離工程において樹脂パッケージをリードフレームから引き剥がすことにより分離することにより、容易に樹脂パッケージをリードフレームから分離することができる。

【0031】また、請求項12記載の発明によれば、分離工程においてリードフレームを金属膜を残して溶解して樹脂パッケージを分離することにより、樹脂パッケージのリードフレームからの分離を確実かつ容易に行うことができる。

【0032】また、請求項13及び請求項14記載の発明によれば、樹脂パッケージをリードフレーム上に複数個形成しても、各樹脂パッケージはテープ部材又は連結樹脂部により連結されているため、リードフレームから分離させても個々バラバラになることはなく、分離工程後における樹脂パッケージ（半導体装置）の取扱いを容易とすることができる。

【0033】また、請求項15記載の発明によれば、樹脂パッケージを少なくとも上2層の樹脂部により構成

(5)

8

したことにより、各層の樹脂の種類を異ならせることができる。このため、例えば半導体素子が搭載される下層の樹脂部を熱に強くかつ機械的強度の高い樹脂により形成すると共に、上層の樹脂部を放熱特性の良好な樹脂により形成する等が可能となり、半導体装置の特性向上を図ることができる。

【0034】また、請求項16記載の発明によれば、樹脂パッケージの最下層に位置する樹脂部に樹脂突起を形成すると共にこの樹脂突起に金属膜を形成したことにより、樹脂突起及び金属膜はBGAタイプの半導体装置の半田パンプと同等の機能を奏するため、実装性を向上させることができる。

【0035】また、請求項17記載の発明によれば、樹脂パッケージの最下層に位置する樹脂部に樹脂性樹脂テープにより形成することにより、最下層を形成するための金型（リードフレーム）は不要となりコスト低減を図ることができる。

【0036】

【発明の実施の形態】次に本発明の実施の形態について図面と共に説明する。図1乃至図3は本発明の第1実施例である半導体装置10を示している。図1は半導体装置10の断面を示し、図2は半導体装置10の底面を示し、更に図3は後述する樹脂パッケージを透過した状態の平面図である。

【0037】第1実施例に係る半導体装置10は、大略すると半導体素子11、樹脂パッケージ12、及び金属膜13とからなる極めて簡単な構成とされている。半導体素子11は、その上面に複数の電極パッド14が形成されており、また素子固定樹脂15上に搭載された構成とされている。

【0038】また、樹脂パッケージ12は、例えばエポキシ樹脂を後述するようにモールド成形（ポッティングも可能である）することにより形成されるものであり、その実装面16の所定位置には樹脂突起17が一体的に形成されている。この樹脂突起17の配設ピッチは、例えば0.8mm程度とすることが可能である。

【0039】また、金属膜13は、樹脂パッケージ12に形成された樹脂突起17を覆うように形成されている。この金属膜13と隣接した電極パッド14との間にワイヤ18が配設されており、これにより金属膜13と半導体素子11は電気的に接続した構成となっている。尚、金属膜13の詳細については、説明の便宜上、後述するものとする。

【0040】上記構成とされた半導体装置10は、従来のSSOPのようなインナーリードやアウトリードが不要となり、インナーリードからアウトリードへの引き回しのための面積や、アウトリード自身の面積が不要となり、半導体装置10の小型化を図ることができる。また、従来のBGAのような半田ボールを形成するために搭載基板を用いる必要がなくなるため、半導体装

10

20

30

40

50

(6)

特開平9-162348

9

膜10のコスト低減を図ることができる。更に、樹脂突起17及び金膜層13は、同時にBGAタイプの半導体装置の半田パンプと同等の機能を果たすため、実装性を向上することができる。

【0041】続いて、金膜層13について図4乃至図7を用いて説明する。各図は、金膜層13の配置位置を拡大して示す図である。金膜層13は、前記のように樹脂突起17を被覆するよう配置されると共に、ワイヤ18により半導体素子11と電気的に接続する構成とされている。また、この金膜層13は半導体装置10の外部接続端子として機能するものであり、半導体装置10を実装基板（図示せず）に実装する時には、金膜層13は実装基板に形成された電極部に半田付けされる。

【0042】この金膜層13は、単層の金膜層により形成してもまた複数の金膜層を積層して形成した構成としてもよい。図4は単層の金膜層により金膜層13Aを形成したものであり、図5乃至図7は複数の金膜層を積層して金膜層13B～13Dを形成したものである。

【0043】また、金膜層13（13A～13D）の材質を選定するに際し、前記のように金膜層13はその内側にワイヤ18が接続されると共に外側は実装基板に半田付けが行われるため、金膜層13の最内層はボンディング性が良好であることが要求される。また最外層は半田付け性が良好であることが要求される（以下、この金膜層13に要求される条件を金属膜要求特性という）。この金属膜要求特性を満たす金属膜13（13A～13D）の材質としては、次のようなものが考えられる。

【0044】図4に示される単層の金膜層13Aでは、金膜層13Aの材質としてボンディング性及び半田付け性が共に良好な材質を選定する必要がある。これを満足する材料としては、例えば銀（Ag）、或いはパラジウム（Pd）がある。また、図5に示されるような外層13B-1と内層13B-2とを積層した2層構造の金膜層13Bでは、金属膜要求特性を満たす外層13B-1と内層13B-2との組み合わせとして、外層13B-1をパラジウム（Pd）により形成し、内層13B-2を金（Au）により形成する組み合わせが考えられる。

【0045】また、図6に示されるような外層13C-1、中間層13C-2、内層13C-3とを積層した3層構造の金膜層13Cでは、外層13C-1を金（Au）により形成し、中間層13C-2をニッケル（Ni）により形成し、内層13C-3を金（Au）により形成する組み合わせが考えられる。

【0046】また、他の組み合わせとしては、
・外層13C-3Cにパラジウム（Pd）、中間層13C-2にニッケル（Ni）、内層13C-3Cにパラジウム（Pd）を用いる組み合わせ

・外層13C-1Cに金（Au）、中間層13C-2Cにパラジウム（Pd）、内層13C-3Cに金（Au）を用いる組み合わせ

10

・外層13C-3Cに半田、中間層13C-2Cにニッケル（Ni）、内層13C-3Cに金（Au）を用いる組み合わせ
・外層13C-3Cに半田、中間層13C-2Cにニッケル（Ni）、内層13C-3Cにパラジウム（Pd）を用いる組み合わせ
が考えられる。上記した各組み合わせにより金膜層13Cを構成することにより、金属膜要求特性を満たすと共に、中間層13C-2Cによる外層13C-1と内層13C-3との接合性を向上することができる。

【0047】また、図7に示されるような外層13D-1、第1中間層13D-2、第2中間層13D-3、内層13D-4とを積層した4層構造の金膜層13Dでは、外層13D-1を半田により形成し、第1中間層13D-2をニッケル（Ni）により形成し、第2中間層13D-3をパラジウム（Pd）により形成し、内層13D-4を金（Au）により形成する組み合わせが考えられる。

【0048】また、他の組み合わせとしては、外層13D-1をパラジウム（Pd）により形成し、第1中間層13D-2をニッケル（Ni）により形成し、第2中間層13D-3をパラジウム（Pd）により形成し、内層13D-4を金（Au）により形成する組み合わせとしてもよい。

【0049】上記した各組み合わせにより金膜層13Dを構成することにより、金属膜要求特性を満たすと共に、第1及び第2中間層13D-2、13D-3による外層13D-1と内層13D-4との接合性を向上することができる。続いて、上記した第1実施例に係る半導体装置10の製造方法について説明する。尚、以下の説明では、金膜層13として外層13C-1、中間層13C-2、内層13C-3とを積層した3層構造の金膜層13Cを設けた構成を例に挙げて説明するものとする。

【0050】半導体装置10は、図14に示されるリードフレーム20を用いて製造される。このリードフレーム20は、導電性金属箔材21に複数の凹部22が形成されると共に、この凹部22に金膜層13Cが形成された構成とされている。凹部22の形成位置は、半導体装置10に形成された樹脂突起17の形成位置と対応するよう構成されており、また金膜層13Cは樹脂突起17に嵌入しうよう形成されている。

【0051】また後述するように、リードフレーム20は複数の半導体装置10を一括的に形成できるような（即ち、いわゆる複数個取りができるよう）構成されており、従って凹部22及び金膜層13Cも1枚の金属箔材21に複数個形成されている（図11参照）。尚、図中23はリードフレーム20をハンドリングする時に治具が係合する治具穴である。

【0052】ここで、半導体装置10の製造方法を説明する前に、先ずリードフレーム20の製造方法について図8乃至図14を用いて説明する。リードフレーム20を製造するには、先ず図8に示すように、導電材料（例

特開平9-162348

(7)

12

えば銅)よりなる平板状の金属基材21を用意し、この金属基材21の上下両面にエッチングレジスト24を塗布する(レジスト塗布工程)。このエッチングレジスト24は、例えば感光性樹脂であり、スパチー等を用いて所定膜厚に塗布される。

【0053】続いて、エッチングレジスト24に図示しないマスクを用いて露光処理を行い、その後現像処理を行うことによりエッチングレジスト24の凹部形成位置及び治具穴形成位置に対応する部位を除去し、図9に示すレジストパターン24aを形成する(レジストパターン形成工程)。

【0054】また、本実施例ではこのレジストパターン形成工程において、給電部25の形成位置(給電部形成位置)に対応する部位に配設されたエッチングレジスト24も除去する構成としている。尚、給電部25は、後述する金属膜形成工程においてメッキ電極が配設される部位である(図1参照)。

【0055】レジストパターン形成工程が終了すると、レジストパターン24aが形成された金属基材21に対しエッチング処理が実施される(エッチング工程)。このエッチング処理では、凹部形成位置及び給電部形成位置においては金属基材21の上面からのみのハーフエッチングが実施され、治具穴形成位置においては両面エッチングが実施される。尚、金属基材21の材料として銅(Cu)が用いられた場合には、エッチング液としては、例えば塩化銅2液等が用いられる。

【0056】これにより、図10に示されるように、金属基材21の凹部形成位置には凹部22が形成されると共に、治具穴形成位置には治具穴23が形成される。また、図11に示されるように、金属基材21の給電部形成位置には凹部状の給電部25が形成される。この際、ハーフエッチングにより形成される凹部22の深さは、金属基材21の板厚に対し60%程度の深さとする事が可能である。

【0057】この給電部25は金属基材21の長手方向両端部に夫々形成されており、この給電部25では導電性金属よりなる金属基材21が露出した状態となっている。このため、給電部25にメッキ用電極を配設することにより、金属基材21に所定の電位を印加することが可能となる。尚、図11(B)は図11(A)におけるA-A線に相当する断面図である。

【0058】また、図11に矢印Bで示す矩形状の破線は1個の半導体装置10の形成領域を示しているが、同図に示されるように1枚の金属基材21には複数個(図11に示す例では34個)の半導体装置10が一括的に形成されるよう(多数個取りができるよう)構成されている。これに伴い、1個の半導体装置10に対応する複数個の凹部22の個数を1組とする。1枚の金属基材21には複数組の凹部22が形成される。

【0059】ところで、更なる多数個取りを行うため

に、図12に示されるように、特状部26に左右一対の連結部27を介して複数個の金属基材21が連結されたリッドフレームユニット28を形成することが考えられる。この構成においても給電部25を形成する必要があるが、複数の金属基材21は連結部27を介して特状部28に電気的に接続されているため、特状部28に給電部25を形成することにより複数の金属基材21に一括的に給電することが可能となる。

【0060】よって、上記構成とすることにより半導体装置10の製造効率を更に向上できると共に、金属基材21に給電部25を形成する構成に比べてレジストパターン形成工程及びエッチング工程を簡単化することができる。上記のようにエッチング工程が実施されると、続いて金属膜形成工程が実施され金属膜13Cが形成される。本実施例においては、金属膜13Cの形成にメッキ法を用いており、前記した給電部25にメッキ用電極を配設すると共に、金属基材21をメッキ槽に浸漬して電解メッキを行う。

【0061】本実施例に係る金属膜13Cは、外層13C-1、中間層13C-2、及び内層13C-3を具備した3層構造とされているため、各層毎にメッキ処理を行う。具体的には、外層13C-1として金(Au)、中間層13C-2としてパラジウム(Pd)、内層13C-3として金(Au)を用いた場合には、先ず内層13C-3となる金メッキを行い、続いて中間層13C-2となるパラジウムメッキを行い、最後に外層13C-1となる金メッキを行う。この金属膜13Cを構成する各層13C-1〜13C-3の厚さは、メッキ時間を制御することにより任意に設定することができる。図13は金属膜13Cが形成された金属基材21を示している。

【0062】上記の処理を実施することにより金属膜13Cは金属基材21に形成されるが、後に説明するように分給工程において、金属膜21に形成された金属膜13Cは樹脂パッケージ12をリッドフレーム20から分給する際に樹脂パッケージ12と共にリッドフレーム20から離脱する必要がある。このため、金属膜13Cは金属基材21に対しある程度の附着力も要求される。

【0063】従って、金属膜13Cを凹部22に形成するに先立ち、上記附着力を確保するために、凹部22内に導電性のペースト等の附着力を向上させる部材を塗布しておき、その上部に金属膜13Cを形成する構成としてもよい。尚、上記した金属膜形成工程では、メッキ法を用いて金属膜13Cを形成する方法を説明したが、金属膜13Cの形成はメッキ法に限定されるものではなく、例えば蒸着法、スパッタリング法等の他の膜形成技術を用いて形成する構成としてもよい。

【0064】また、上記した実施例では、金属膜形成工程を実施する際に凹部22の他にも治具穴23において、金属基材21が凹部に対し露出した構成とされているため、治具穴23内にも金属膜13Cと同一構成の金属膜

特開平9-162348

(8)

13

が形成される。しかるに、治具穴23は金属基材21の位置決め及びハンドリングする際に用いられる穴であるため、上記のように治具穴23内に金属膜が形成されても不都合が生じるようなことはない。

【0065】上記のように金属膜形成工程において凹部22内に金属膜13Cが形成されると、続いてレジストパターン24a（エッチングレジスト24）を除去するレジスト除去工程が実施され、図14に示されるリードフレーム20が形成される。上記したリードフレーム20の製造方法では、レジスト塗布、レジストパターン形成、エッチング、金属膜形成、及びレジスト除去等の簡単な工程によりリードフレーム20を形成することができる。

【0066】次に、上記のようにして製造されるリードフレーム20を用いて半導体装置10を製造する製造方法について図15乃至図28を用いて説明する。半導体装置10を製造するには、図15に示すように、リードフレーム20の所定素子搭載位置に素子固定樹脂15を塗布すると共に、素子固定樹脂15の上部に半導体素子11を搭載する（素子搭載工程）。素子固定樹脂15は絶縁性を有すると共に接着剤として機能し、よって半導体素子11はリードフレーム20上に素子固定樹脂15の接着力により搭載された状態となる。

【0067】素子搭載工程が終了すると、リードフレーム20はワイヤボンディング装置に装着され、図16に示されるように、半導体素子11に形成された電極パッド14と、リードフレーム20に形成されている金属膜13C（具体的には、内層金属13C-3）との間にワイヤ18を配設し、半導体素子11と金属膜13Cとを電気的に接続する（接続工程）。

【0068】このワイヤ18を電極パッド14と金属膜13Cとの間でワイヤボンディングする際、図16に示す間では、先ず電極パッド14にワイヤ18の一端をボンディングし（ファーストボンディング）し、続いてワイヤ18の他端を金属膜13Cにボンディング（セカンドボンディング）する方法を採用した。

【0069】しかるに、図17に示すように、先ず金属膜13Cにワイヤ18の一端を接続し、続いて金属膜13Cから電極パッド14にワイヤ18を引き出した上で、ワイヤ18の他端部を電極パッド14に接続する方法を採用してもよい。このように、先ず金属膜13Cにワイヤ18の一端を接続し、その後ワイヤ18の他端部を電極パッド14に接続する、いわゆる逆打りのワイヤボンディング法を用いたことにより、ワイヤループの低背化を図ることができ、これに伴い半導体装置10の低背化を図ることができる。

【0070】また、一般に電極パッド14の配設ピッチは金属膜13Cの配設ピッチに比べて狭く、またワイヤボンディング処理においてファーストボンディングのボンディング領域はセカンドボンディングのボンディング

14

領域よりも広い。よって、配設ピッチの広い金属膜13Cにファーストボンディングを行い、配設ピッチの狭い電極パッド14にセカンドボンディングを行う構成とすることにより、高密度にワイヤ18の配設を行うことが可能となる。

【0071】上記の接続工程が終了すると、続いてリードフレーム20上に半導体素子11を封止するよう樹脂29を形成し樹脂パッケージ12を形成する封止工程を実施する。本実施例では、樹脂パッケージ12をモールド成形する方法について説明するが、ボタtingにより形成することも可能である。

【0072】図18は、接続工程が終了したリードフレーム20をモールド金型に装着して樹脂29（塑地を示す）をモールドした直後の状態を示す樹脂模造図であり、30はカナル、31はランナー、32はゲートを夫々示している。図18に示されるように、樹脂パッケージ12はリードフレーム20に一括的に複数個形成される。尚、モールド直後の状態では、複数個形成される樹脂パッケージ12はゲート32に存在する樹脂29（以下、ゲート内樹脂という）により連結した状態となっている。

【0073】図19は、1個の半導体装置に対応する樹脂パッケージ12を拡大して示す図である。図19に示されるように、樹脂29はモールド金型（上型）に形成されているキャビティ（図示せず）により所定形状に形成されると共に、リードフレーム20が下型の機能を奏し、凹部22の内部（具体的には金属膜13Cの内部）にも樹脂29は充填されて樹脂突起17を形成する。この状態において、樹脂パッケージ12はリードフレーム20に添着された状態とされている。上記のように樹脂パッケージ12が形成されると、各樹脂パッケージ12間に形成されていたゲート内樹脂、ランナー31内に残存した樹脂、及び湾曲30は除去され、図10に示されるように各樹脂パッケージ12は個々独立した構成となる。しかるに、前記したように各樹脂パッケージ12はリードフレーム20に添着された状態となっているため、個々独立した状態となっても各樹脂パッケージ12がリードフレーム20から離脱することはない。

【0074】上記した封止工程が終了すると、続いてテープ配設工程が実施される。テープ配設工程では、図21に示されるように個々独立した状態とされた各樹脂パッケージ12の上部に接着テープ等のテープ部材33（ハッチングを付して示している）を配設する。

【0075】このテープ部材33は、ベーステープの一面に接着剤を塗布した構成とされており、またベーステープは後に実施される分組工程において用いるエッチング液により損傷を受けない材料により形成されている。このように、複数の樹脂パッケージ12の上部をテープ部材33で連結することにより、リードフレーム20から各樹脂パッケージ12を分離しても、個々の樹脂パッ

(9)

特開平9-162348

15

ケージ12をテープ部材33により位置規制すること
ができる。

【0076】尚、このテープ部材33を配設するタイ
ミングは、樹脂パッケージ12が形成された後に限定され
るものではなく、例えば封止工程実施前にモールド金型
内に配設しておくことにより、形成された時点で複数の
樹脂パッケージ12がテープ部材33により連結される
構成としてもよい。

【0077】上記したテープ配設工程が終了すると、
続いて樹脂パッケージ12をリードフレーム20から分離
され半導体装置10を形成する分離工程が実施される。
図22は分離工程を示しており、図21に示す例ではリ
ードフレーム20をエッチング液に浸漬させて溶解する
ことにより樹脂パッケージ12をリードフレーム20から分
離させる方法が示されている。

【0078】この分離工程で用いられるエッチング液
は、リードフレーム20のみを溶解し、金属膜13Cは
溶解しない性質を有するエッチング液を適宜している。
従って、リードフレーム20が完全に溶解されること
により樹脂パッケージ12はリードフレーム20から分離
される。この際、金属膜13Cは樹脂突起17に配設さ
れた状態となるため、図1に示す半導体装置10が形成
される。

【0079】上記のように、リードフレーム20を溶解
することにより樹脂パッケージ12をリードフレーム20
から分離する方法を用いることにより、リードフレーム
20からの樹脂パッケージ12の分離処理を簡易かつ
容易に行うことができ、歩留りを向上することができ
る。

【0080】図23は、分離工程が終了した状態の半導
体装置10を示している。図21に示されるように、分離
工程が終了した時点で複数の半導体装置10はテープ部
材33に接着された状態を維持している。従って、分離
工程が終了後における半導体装置10の扱いを容易とす
ることができる。更に、図23に示される状態でテープ
部材33を巻回し出荷することにより、チップ部品と同
様に実装時において半導体装置10を実装基板上に自動装
填を行うことも可能となる。

【0081】上記してきた製造方法により半導体装置1
0を製造することにより、従来必要とされたリードの切
断処理、及びリードを所定形状（例えばガルウイング形
状）に成形する工程は不要となり、半導体装置10の製
造工程を簡略化することができる。

【0082】続いて、上記した半導体装置10の製造方
法の変形例について説明する。図24は封止工程の第1
変形例を示している。前記した実施例では、図18を用
いて説明するように、樹脂モールド直後の状態で複数の
樹脂パッケージ12間をゲート内樹脂で連結されている
が、このゲート内樹脂は図20に示されるように除去さ
れ、その後図21に示されるようにテープ部材33

16

が配設される構成とされていた。

【0083】前記した説明から明らかなように、テープ
部材33は樹脂パッケージ12がリードフレーム20から
分離された状態でバラバラにならないように配設され
るものである。そこで、本変形例では、テープ部材33
の代わりにゲート内樹脂及びランナ31内に残存する樹
脂29を利用し、ゲート内樹脂及びランナ31内に残存
する樹脂29を各樹脂パッケージ12を連結する樹脂
脂部として用いたことを特徴とするものである（以下、
この樹脂脂部をランナーフレーム34という）。

【0084】このように、ランナーフレーム34に各樹
脂パッケージ12を支持する機能を持たせることにより、
一般に除去されるゲート内樹脂及びランナ31内に
残存する樹脂29を有効利用することができる。尚、半導
体装置10の出荷時にはランナーフレーム34は除去す
る必要があるため、この出荷時直前に図25に示すよう
にテープ部材33を配設しランナーフレーム34を除去
すればよい（連結樹脂除去工程）。

【0085】このように出荷時直前にテープ部材33を
配設することにより、分離工程及び半導体装置10の試
験工程等においてテープ部材33が損傷することを防止
できる。この点、前記したようにテープ部材33に接
着された状態で半導体装置10を出荷する場合に有利で
ある。

【0086】図26及び図27は封止工程の第2変形例
を示している。前記した実施例では、図20に示され
るように、封止工程が終了した時点で複数の樹脂パッ
ッケージ12は個々独立した状態とされていた。これに対し、本
変形例では封止工程が終了した時点で複数の樹脂パッ
ッケージ12が連結されているよう構成したことを特徴と
するものである。

【0087】図26は本変形例における封止工程が終了
した状態のリードフレーム20を示している。図20に示
されるように、複数の樹脂パッケージ12は板コウ状
に連結された状態となっており、隣接する樹脂パッ
ッケージ12の間に清部35が形成されている。従って、分
離工程を実施した時点で、複数の半導体装置10は樹脂
パッケージ12が清部35を介して連結した構成となり、
テープ部材33を用いることなく各半導体装置10の
位置規制を行うことができる。

【0088】また、半導体装置10を個々に分離するに
は、清部35の形成位置において樹脂パッケージ12を
切り離せばよい。この樹脂パッケージ12の切り離し作
業は、清部35が形成されていることにより容易に行う
ことができる。図27は図26に示す樹脂パッケージ12
を形成するために用いる金型36を示している。図20
に示されるように、金型36を構成する上型37のキャ
ピティは、清部35に対応した位置に突起38が形成さ
れた形状とされている。また、下型39にはリードフ
レーム20が装着される装着凹部40が形成されている。

17

このように、簡単な金型形成で図2に示す複数個が連結された樹脂パッケージ12を形成することができる。
 【0089】また、図2は分組工程の変形例を示している。前記した実施例においては、樹脂パッケージ12をリードフレーム20から分離するに用いる方法を用いた。本変形例では、リードフレーム20を溶解することなく、樹脂パッケージ12をリードフレーム20から引き剥がすことにより、機械的に樹脂パッケージ12をリードフレーム20から分離することを特徴とする。

【0090】この分離方法では、前記した実施例に係る方法に比べて、エッチング液が不要となりまた分組工程に要する時間を短縮することができる。しかも、機械的に樹脂パッケージ12をリードフレーム20から分離するため、金膜13Cがリードフレーム20から確実に樹脂突起17に移動するかどうか問題点があるが、この点はリードフレーム20の製造工程の金属膜形成工程において、予め凹部22内に金膜13Cの分給性を向上させる部材を予め接続した上で金膜13Cを形成することにより解決することができる。

【0091】次に本発明の第2実施例である半導体装置50について説明する。図29は本発明の第2実施例である半導体装置50を示している。尚、図において、第1実施例に係る半導体装置10と同一構成については同一符号を附してその説明を省略する。

【0092】第2実施例に係る半導体装置50は、樹脂パッケージ51を上部樹脂部52と下部樹脂部53との2層構造としたことを特徴とするものである。また、下部樹脂部53の所定位置には樹脂突起54が形成されており、この樹脂突起54には例えばパラジウム(Pd)の単層構造の金膜55が配設されている。

【0093】更に、下部樹脂部53には接続電極56が配設されており、この接続電極56の下部延出部62は下部樹脂部53に形成されたスルーホール57を介して金膜55と電気的に接続されると共に、上部に形成されたボンディング部63は下部樹脂部53の上面に延在しワイヤ18がボンディングされる。

【0094】本実施例のように、樹脂パッケージ51を上部樹脂部52と下部樹脂部53の上下2層構造とすることにより、上部樹脂部52と下部樹脂部53で樹脂の種類を異ならせることができる。このため、例えば半導体素子11が搭載される下部樹脂部53を熱に強かつ機械的強度の高い樹脂により形成すると共に、上部樹脂部52を放熱特性の良い樹脂により形成する等が可能となり、半導体装置50の特性向上を図ることができる。

【0095】また、樹脂パッケージ51の下部樹脂部53に樹脂突起54を形成すると共にこの樹脂突起54に金膜55を形成したことから、樹脂突起54及び金膜55はBGAタイプの半導体装置の平坦パッドと同等の機能を奏するため、半導体装置50の実装性を向上

(10)

することができる。

【0096】尚、上記した実施例では、樹脂パッケージ51を上部樹脂部52と下部樹脂部53とよりなる2層構造とした構成を示したが、樹脂パッケージ51は2層構造に限定されるものではなく、3層以上の構成としてもよい。続いて、第2実施例に係る半導体装置50の製造方法について図30乃至図39を用いて説明する。
 尚、本実施例に係る製造方法は金膜55及び接続電極56の形成方法に特徴を有し、他の構成の製造方法は前記した実施例で説明した製造方法と変わらないため、以下の説明では金膜55及び接続電極56の形成方法についてのみ説明するものとする。

【0097】先ず、図30に示すように銅(Cu)等よりなる平坦状の金属基材21を用意する。そして、この金属基材21の上下両面に例えば感光性樹脂等よりなるエッチングレジストを塗布し(レジスト塗布工程)、続いてこのエッチングレジストに図示しないマスクを用いて露光処理を行い、その後現像処理を行うことによりエッチングレジストの凹部形成位置に対応する部位を除去し、図31に示すレジストパターン24aを形成する(レジストパターン形成工程)。

【0098】レジストパターン形成工程が終了すると、レジストパターン24aが形成された金属基材21に対しエッチング処理が実施される(エッチング工程)。このエッチング工程では、金属基材21の上面からのみのハーフエッチングが実施され、これにより図32(図32以降の各図は、図31に矢印Bで示す破線で囲まれた領域を拡大して示している)に示されるように金属基材21の凹部形成位置には凹部58が形成される。

【0099】上記のようにエッチング工程が実施されると、続いて金膜形成工程が実施され金属膜55が形成される。本実施例においては、金膜55の形成にメッキ法を用いており、金属基材21をメッキ槽に浸漬して電解メッキを行う。本実施例に係る金属膜55は、パラジウム(Pd)の単層構造とされているため、1回のメッキ処理により金属膜55が形成される。図33は金膜55が形成された金属基材21を示している。

【0100】尚、上記した金属膜形成工程では、メッキ法を用いて金属膜55を形成する方法を説明したが、金膜55の形成はメッキ法に限定されるものではなく、例えば蒸着法、スパッタリング法等の他の膜形成技術を用いて形成する構成としてもよい。

【0101】上記のように金属膜形成工程において凹部58内に金膜55が形成されると、続いてレジストパターン24aを除去するレジスト除去工程が実施され、図34に示されるリードフレーム59が形成される。上記のようにリードフレーム59が形成されると、続いてこのリードフレーム59を用いて半導体装置50が製造される。先ず、リードフレーム59の上部に、図35に示されるように下部樹脂部53を配設する。この際、下

18

特開平9-162348

10

20

30

40

50

(11)

特開平9-162348

19

部樹脂部53は金属膜54が形成されている凹部58内にも侵入して樹脂突起54が形成される。

[0102] 次に、図3に示されるように下部樹脂部53の樹脂突起54が形成された位置にスルーホール57を形成する。このスルーホール57を形成することにより、金属膜54は露出した状態となる。スルーホール57が形成されると、続いて下部樹脂部53の上部全面に所定の厚度で接続電極56となる導電性金属膜60を形成する。この導電性金属膜60は、無電解メッキ法、蒸着法、或いはスパッタリング法を用いて形成される。また、導電性金属膜60を形成する際、導電性金属膜60はスルーホール57の内部にも充填されて下方延出部62を形成するため、図37に示されるように導電性金属膜60と金属膜54とは電気的に接続された構成となる。

[0103] 続いて、導電性金属膜60の上部にエッチングレジストを塗布すると共に露光・現像処理を行い、図38に示されるように、接続電極56の形成位置にレジストパターン61を形成する。そして、レジストパターン61をマスクとして導電性金属膜60に対するエッチング処理が実施され、接続電極56の形成位置以外の導電性金属膜60が除去される。

[0104] これにより、図39に示されるように、下方延出部62が金属膜54に接続されると共に、ワイヤ18が接続されるボンディング部63が下部樹脂部53の上部に延在した構成の接続電極56が形成される。尚、接続電極56が形成された後に実施される製造方法は、前記した図15乃至図23を用いて説明した製造方法と同様であるためその説明は省略する。

[0105] 次に本発明の第3実施例である半導体装置70について説明する。図40は本発明の第3実施例である半導体装置70を示している。尚、図面において、第2実施例に係る半導体装置50と同一構成については同一符号を附してその説明を省略する。

[0106] 第3実施例に係る半導体装置70は、樹脂パッケージ51を上部樹脂部52と下部樹脂部53との2層構造とすると共に、第2実施例に設けられていた樹脂突起54に代えて金属突起71を接続電極72に形成したことを特徴とするものである。この金属突起71には例えばパラジウム(Pd)の単層構造の金属膜55が直接的に配設されている。

[0107] この接続電極72は下部樹脂部53に配設されており、金属突起71は下部樹脂部53に形成された穴部73を介して金属膜54と電気的に接続される。また、接続電極72の上部に形成されたボンディング部74は下部樹脂部53の上面に延在しワイヤ18がボンディングされる。

[0108] 本実施例に係る半導体装置70も第2実施例に係る半導体装置50と同様に、樹脂パッケージ51を上部樹脂部52と下部樹脂部53の上下2層構造とし

20

ているため、半導体装置50の特性向上を図ることができ、また、接続電極72に金属突起71を形成し、この金属突起71に直接金属膜54を形成することにより、金属突起71と金属膜54との接合部位におけるインピーダンスを低減することができ、よって半導体装置70の電気的特性を向上することができる。尚、本実施例においても樹脂パッケージ51は2層構造に限定されるものではなく、3層以上の構成としてもよい。

[0109] 続いて、第3実施例に係る半導体装置70の製造方法について図41乃至図50を用いて説明する。尚、本実施例に係る製造方法は金属膜55及び接続電極72の形成方法に特徴を有し、他の構成の製造方法は前記した実施例で説明した製造方法と変わらないため、以下の説明では金属膜55及び接続電極72の形成方法についてのみ説明するものとする。

[0110] 先ず、図41に示すように銅(Cu)等よりなる平板状の金属基材21を用意する。そして、この金属基材21の上下両面に例えば蒸気性樹脂等よりなるエッチングレジストを塗布し、続いてこのエッチングレジストに露光・現像処理を行うことによりエッチングレジストの凹部形成位置に対応する部位を除去し、図42に示すレジストパターン24aを形成する。

[0111] 続いて、レジストパターン24aが形成された金属基材21に対しエッチング処理が実施される。このエッチング処理では、金属基材21の上面からのみのハーフエッチングが実施され、これにより図43(図43以降の図面は、図42に矢印Cで示す破線で囲まれた領域を拡大して示している)に示されるように金属基材21の凹部形成位置には凹部58が形成される。

[0112] 上記のエッチング処理が完了すると、続いて金属膜形成工程が実施され、図44に示されるように凹部58内に例えばメッキ法により金属膜55が形成される。尚、上記した金属膜の形成はメッキ法に限定されるものではなく、例えば蒸着法、スパッタリング法等の他の膜形成技術を用いて形成する構成としてもよい。

[0113] また、上記のように凹部58内に金属膜55が形成されると、続いてレジストパターン24aを除去するレジスト除去工程が実施され、図45に示されるリードフレーム59が形成される。上記のようにリードフレーム59が形成されると、続いてこのリードフレーム59を用いて半導体装置70が配設される。先ず、リードフレーム59の上部に、図46に示されるように下部樹脂部53を配設する。次に、図47に示されるように下部樹脂部53の金属膜55と対向する部分を取り除き、下部樹脂部53に穴部73を形成する。この穴部73を形成することにより、金属膜55は露出した状態となる。

[0114] 穴部73が形成されると、続いて下部樹脂部53の上部全面に所定の厚度で接続電極72となる導電性金属膜60を形成する。この導電性金属膜60は、

(12)

特開平9-162348

21

無電解メッキ法、蒸着法、めいはスパッタリング法を用いて形成される。また、導電性金属膜60を形成する際、導電性金属膜60は凹部58の内部にも充填されて金属突起71を形成するため、よって図48に示されるように金属突起71と金属膜55とは直接的に電気的に接続された構成となる。

【0115】この際、本実施例では前記した実施例で形成されたスルーホール57に対して穴部73の面積が広い。そのため、金属突起71と金属膜55との接触面積は広くなる。このため、金属突起71と金属膜55とを低インピーダンスで電気的に接続することができる。

【0116】上記のように導電性金属膜60が形成されると、この導電性金属膜60の上部にエッチングレジストを塗布すると共に露光・現像処理を行い、図49に示されるように、接続電極部72の形成位置にレジストパターン61を形成する。そして、レジストパターン61をマスクとして導電性金属膜60に対するエッチング処理が実施され、接続電極部72の形成位置以外の導電性金属膜60が除去される。

【0117】これにより、図50に示されるように、金属突起71が金属膜55に接続されると共に、ワイヤ18が接続されるボンディング部74が下部樹脂部53の上部に延在した構成の接続電極72が形成される。尚、接続電極部72が形成された後に実施される製造方法は、前記した図15乃至図23を用いて説明した製造方法と略同様であるためその説明は省略する。

【0118】次に本発明の第4実施例である半導体装置80について説明する。図51は本発明の第4実施例である半導体装置80を示している。尚、同図において、第2実施例に係る半導体装置50と同一構成については同一符号を附してその説明を省略する。

【0119】第4実施例に係る半導体装置80は、樹脂パッケージ81を上部樹脂部82と下部樹脂部83との2層構造とすると共に、下部樹脂部83を絶縁性樹脂テープにより構成したことを特徴とするものである（以下、下部樹脂部83を樹脂テープ83という）。

【0120】また、樹脂テープ83の所定位置には穴部84が形成されており、この穴部84を穿うように樹脂テープ83の表面（下面）には外部電極膜85が形成されている。この外部電極膜85には、穴部84を介してワイヤ18がボンディングされている。

【0121】本実施例に係る半導体装置80も第2実施例に係る半導体装置50と同様に、樹脂パッケージ81を上部樹脂部82と樹脂テープ83の上下2層構造としているため、半導体装置80の特性向上を図ることができる。また、樹脂パッケージ81の最下層に位置する樹脂部83を樹脂テープ83により形成することにより、半導体装置80を製造する際に他の実施例では必要とされたリードフレーム20、59は不要となりコスト低減を図ることができる。

22

【0122】

【発明の効果】上述の如く本発明によれば、下記の種々の効果を奏することができる。請求項1記載の発明によれば、インナーリードやアウトワードが不要となり、樹脂突起に形成された金属膜を外部端子として実装することができるため、実装面積を小さくできる。また、半導体装置内にリードフレームが設けられないため、コストの低減を図ることができる。更に、樹脂突起及び金属膜は、BGAタイプの半導体装置の半田パンパと同等の機能を奏するため、実装性を向上させることができる。

【0123】また、請求項2乃至5記載の発明によれば、金属膜を単層とした場合には、接続手段（例えば、ワイヤボンディング）の接合性及び半田付け性が共に良好な金属を金属膜として用い、また複数層を積層した金属膜の場合には、最内層を接続手段の接合性が良好な金属とし、かつ最外層を半田付け性が共に良好な金属としたことにより、半導体素子と金属膜との電気的接続及び金属膜基板と実装基板との電気的接続を共に良好とすることができる。

【0124】また、請求項6記載の発明によれば、凹部と金属膜が形成されただけの簡単な構成のリードフレームにより、請求項1乃至5のいずれかに記載の半導体装置を製造することができる。また、請求項7記載の発明によれば、レジスト塗布、レジストパターン形成、エッチング、金属膜形成、及びレジスト除去等の簡単な工程によりリードフレームを形成することができる。

【0125】また、請求項8記載の発明によれば、レジストパターン形成工程において給電部に対応する位置のエッチングレジストも除去されるため、給電部の形成を容易に行うことができる。また、請求項9記載の発明によれば、リードの切断処理、及びリードを所定形状（例えばガルウィング形状）に形成する工程が不要となり、半導体装置の製造工程を簡単化することができる。

【0126】また、請求項10記載の発明によれば、ワイヤループの低背化を図ることができ、これに伴い半導体装置の低背化を図ることができる。また、配設ピッチの広い金属膜にファーストボンディングを行い、配設ピッチの狭い金属膜にセカンドボンディングを行う構成とすることにより、高密度にワイヤの配設を行うことが可能となる。

【0127】また、請求項11記載の発明によれば、分離工程において樹脂パッケージをリードフレームから引き剥がすことにより分離することにより、容易に樹脂パッケージをリードフレームから分離することができる。また、請求項12記載の発明によれば、分離工程においてリードフレームを金属膜を残して溶解して樹脂パッケージを分離することにより、樹脂パッケージのリードフレームからの分離を容易かつ容易に行うことができる。

【0128】また、請求項13及び請求項14記載の発

23

(13)

明によれば、樹脂パッケージをリードフレーム上に複数個形成しても、各樹脂パッケージはテープ部材或いは連結樹脂部により連結されているため、リードフレームから分離させても個々バラバラになることはなく、分離工程後における樹脂パッケージ（半導体装置）の取扱いを容易とすることができる。

【0129】また、請求項15記載の発明によれば、樹脂パッケージはBGAタイプの半導体装置の半田パンプと同等の機能を果たすため、実装性を向上させることができる。

【0130】また、請求項17記載の発明によれば、最下層を形成するための金型（リードフレーム）は不要となりコスト低減を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例である半導体装置の断面図である。

【図2】本発明の第1実施例である半導体装置の底面図である。

【図3】本発明の第1実施例である半導体装置の透視図である。

【図4】金属膜（1層）を拡大して示す図である。

【図5】金属膜（2層）を拡大して示す図である。

【図6】金属膜（3層）を拡大して示す図である。

【図7】金属膜（4層）を拡大して示す図である。

【図8】リードフレームの形成方法の一実施例を説明するための図である（レジスト塗布工程）。

【図9】リードフレームの形成方法の一実施例を説明するための図である（レジストパターン形成工程）。

【図10】リードフレームの形成方法の一実施例を説明するための図である（エッチング工程）。

【図11】リードフレームに形成される給電部を説明するための図である。

【図12】給電部の他の構成を説明するための図である。

【図13】リードフレームの形成方法の一実施例を説明するための図である（金属膜形成工程）。

【図14】完成したリードフレームを示す断面図である。

【図15】半導体装置の製造方法の一実施例を説明するための図である（素子搭載工程）。

【図16】半導体装置の製造方法の一実施例を説明するための図である（接続工程）。

【図17】半導体装置の製造方法における接続工程の変形例を説明するための図である。

【図18】半導体装置の製造方法の一実施例を説明するための図である（封止工程）。

【図19】封止工程が終了したリードフレームを示す断

24

特開平9-162348

面図である。

【図20】封止工程が終了したリードフレームを示す平面図及び側面図である。

【図21】半導体装置の製造方法の一実施例を説明するための図である（テープ配設工程）。

【図22】半導体装置の製造方法の一実施例を説明するための図である（分離工程）。

【図23】封止工程が終了した半導体装置を示す平面図及び側面図である。

【図24】半導体装置の製造方法における封止工程の第1変形例を説明するための図である。

【図25】図24に示したリードフレームにテープ配設工程を実施した状態を示す図である。

【図26】半導体装置の製造方法における封止工程の第2変形例を説明するための図である。

【図27】第2変形例に係る封止工程を終了した状態のリードフレームを示す平面図及び側面図である。

【図28】半導体装置の製造方法における分離工程の変形例を説明するための図である。

【図29】本発明の第2実施例である半導体装置の断面図である。

【図30】本発明の第2実施例である半導体装置の金属膜の形成方法を説明するための図である（基板形成）。

【図31】本発明の第2実施例である半導体装置の金属膜の形成方法を説明するための図である（レジスト形成）。

【図32】本発明の第2実施例である半導体装置の金属膜の形成方法を説明するための図である（ハーフエッチング）。

【図33】本発明の第2実施例である半導体装置の金属膜の形成方法を説明するための図である（メッキ処理）。

【図34】本発明の第2実施例である半導体装置の金属膜の形成方法を説明するための図である（レジスト剥離）。

【図35】本発明の第2実施例である半導体装置の金属膜の形成方法を説明するための図である（感光性樹脂塗布）。

【図36】本発明の第2実施例である半導体装置の金属膜の形成方法を説明するための図である（スルーホール形成）。

【図37】本発明の第2実施例である半導体装置の金属膜の形成方法を説明するための図である（メッキ処理）。

【図38】本発明の第2実施例である半導体装置の金属膜の形成方法を説明するための図である（レジスト形成）。

【図39】本発明の第2実施例である半導体装置の金属膜の形成方法を説明するための図である（エッチング及びレジスト剥離）。

(14)

特開平9-162348

26

25

【図40】本発明の第3実施例である半導体装置の断面図である。

【図41】本発明の第3実施例である半導体装置の金属膜の形成方法を説明するための図である（基板形成）。

【図42】本発明の第3実施例である半導体装置の金属膜の形成方法を説明するための図である（レジスト形成）。

【図43】本発明の第3実施例である半導体装置の金属膜の形成方法を説明するための図である（ハーフエッチング）。

【図44】本発明の第3実施例である半導体装置の金属膜の形成方法を説明するための図である（メッキ処理）。

【図45】本発明の第3実施例である半導体装置の金属膜の形成方法を説明するための図である（レジスト剥離）。

【図46】本発明の第3実施例である半導体装置の金属膜の形成方法を説明するための図である（感光性樹脂塗布）。

【図47】本発明の第3実施例である半導体装置の金属膜の形成方法を説明するための図である（意あけ処理）。

【図48】本発明の第3実施例である半導体装置の金属膜の形成方法を説明するための図である（メッキ処理）。

【図49】本発明の第3実施例である半導体装置の金属膜の形成方法を説明するための図である（レジスト形成）。

【図50】本発明の第3実施例である半導体装置の金属膜の形成方法を説明するための図である（エッチング及びレジスト剥離）。

【図51】本発明の第4実施例である半導体装置の断面図である。

【図52】従来の半導体装置の一例を説明するための図である。

【図53】従来の半導体装置の一例を説明するための図

＊である。

【符号の説明】

10、50、70、80 半導体装置

11 半導体素子

12、51、81 樹脂パッケージ

13、13A～13D、55 金属層

13B-1、13C-1、13D-1 外層

13C-2 中間層

13D-2 第1中間層

13D-3 第2中間層

13B-2、13C-3、13D-4 内層

14 電極パッド

17、54 樹脂突起

18 ワイヤ

20、59 リードフレーム

21 金属基材

22、58 凹部

24 エッチングレジスト

24a、61 レジストパターン

25 給電部

26 枠状部

27 連結部

28 リードフレームユニット

33 テープ部材

34 ランチーフレーム

52、82 上部樹脂部

53、83 下部樹脂部

56、72 接続電極

57 スルーホール

60 導電性金属膜

62 下方延出部

63、74 ボンディング部

71 金属突起

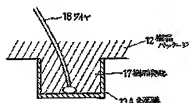
73、84 穴部

83 樹脂テープ

35 外部延出部

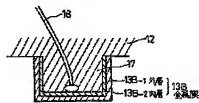
【図4】

金属膜(14)を拡大して示す図



【図5】

金属膜(24)を拡大して示す図

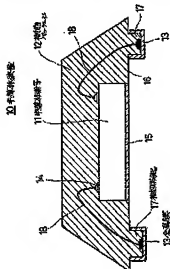


(15)

特開平9-162348

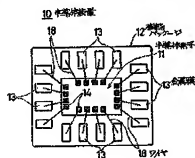
【図1】

本発明の第1実施例である半導体装置の断面図



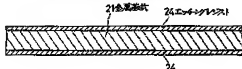
【図3】

本発明の第1実施例である半導体装置の底面図



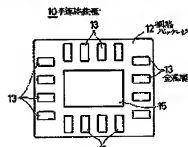
【図8】

ゲートフレームの形成方法の一実施例を説明するための図（トランスミット工程）



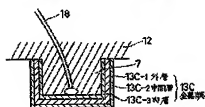
【図2】

本発明の第1実施例である半導体装置の底面図



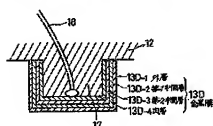
【図6】

金属膜(3層)を拡大して示す図



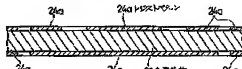
【図7】

金属膜(4層)を拡大して示す図



【図9】

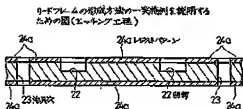
ゲートフレームの形成方法の一実施例を説明するための図（トランスミット工程）



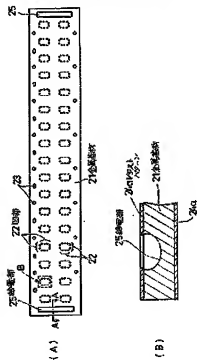
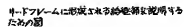
(16)

特開平9-162348

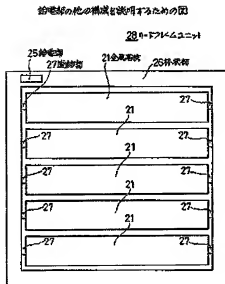
【圖 10】



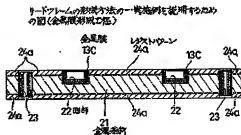
【圖 11】



【图 12】



【圖 13】

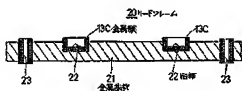


(17)

特開平9-162348

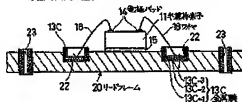
【図14】

完成したリードフレームを示す断面図



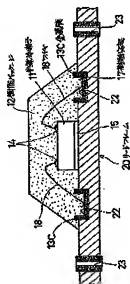
【図16】

半導体装置の製造方法の一実施例を説明するための図（加熱工程）



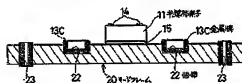
【図19】

加熱工程が終了したリードフレームを示す断面図



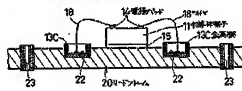
【図15】

半導体装置の製造方法の一実施例を説明するための図（溶字溶融工程）



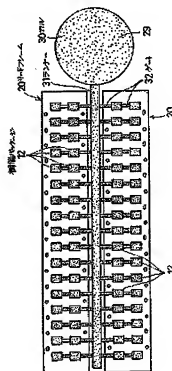
【図17】

半導体装置の製造方法における後続工程の実施例を説明するための図



【図18】

半導体装置の製造方法の一実施例を説明するための図（気化工程）

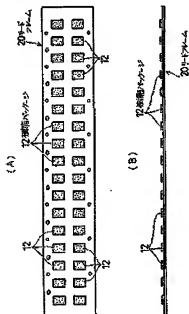


(38)

特開平9-162348

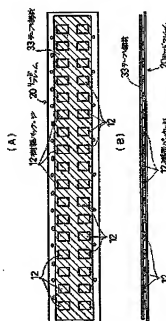
【図26】

倒立工程の終了したリードフレームを示す平面図
及の側面図



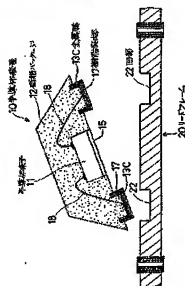
【図27】

半導体装置の製造方法の一実施例を説明するための図（テープ実装工程）



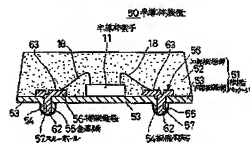
【図28】

半導体装置の製造方法における半導体装置の形成例を説明するための図



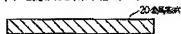
【図29】

本発明の第2実施例における半導体装置の断面図



【図30】

本発明の第2実施例における半導体装置の全周縁の形成例を説明するための図（断面形成）

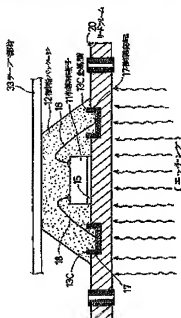


(19)

特開平9-162348

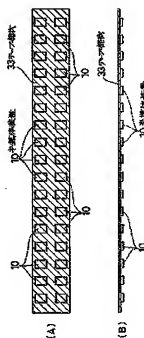
【図22】

半導体装置の製造方法の一実施例を説明するための図（分銅工程）



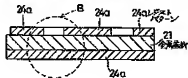
【図23】

封止工程を終了した半導体装置を示す平面図及び断面図



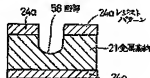
【図31】

本発明の第2実施例である半導体装置の金属膜の形成方法を説明するための図（レジスト処理）



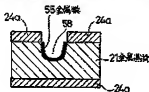
【図32】

本発明の第2実施例である半導体装置の金属膜の形成方法を説明するための図（パッド形成）



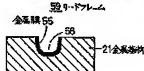
【図33】

本発明の第2実施例である半導体装置の金属膜の形成方法を説明するための図（パッド処理）



【図34】

本発明の第2実施例である半導体装置の金属膜の形成方法を説明するための図（レジスト処理）

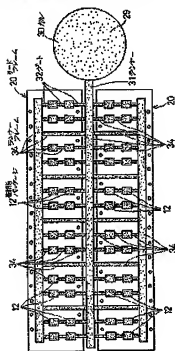


(20)

特開平9-162348

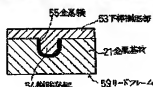
【図24】

半導体装置の製造方法における前記工程の第1変形例に適用するための図



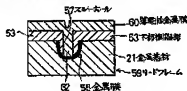
【図35】

本発明の第2実施例である半導体装置の金属膜の形成方法を説明するための図（前記装置より）



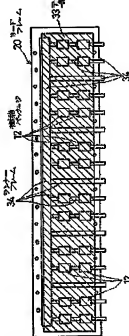
【図37】

本発明の第2実施例である半導体装置の金属膜の形成方法を説明するための図（メッキ処理）



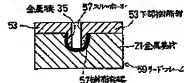
【図25】

図24に示したリドフレームにチップ固定工程を実施した状態を示す図



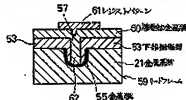
【図36】

本発明の第2実施例である半導体装置の金属膜の形成方法を説明するための図（スパッタ処理）



【図38】

本発明の第2実施例である半導体装置の金属膜の形成方法を説明するための図（レジスト形成）

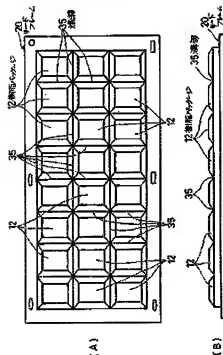


(21)

特開平9-162348

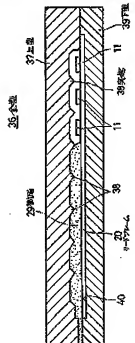
【図26】

半導体装置の製造方法における封止工程の第2実施例に適用するための図



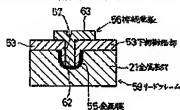
【図27】

第2変形例に係る封止工程を終了した状態のリードフレームを示す平面図Aの側面図



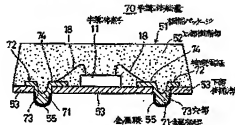
【図39】

第3実施例の第2実施例における半導体装置の金属膜の形成方法に適用するための図（スレーブメトリック構造）



【図40】

半導体装置の第3実施例における半導体装置の側面図



【図41】

本発明の第3実施例における半導体装置の金属膜の形成方法を適用するための図（基板形成）

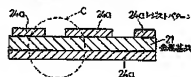


(22)

特開平9-162348

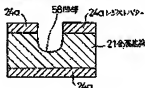
【図42】

本発明の第3実施例である半導体装置の金属膜の形成方法を説明するための図（レジスト形成）



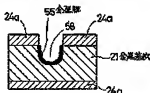
【図43】

本発明の第3実施例である半導体装置の金属膜の形成方法を説明するための図（ハーフエッチング）



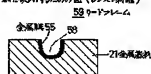
【図44】

本発明の第3実施例である半導体装置の金属膜の形成方法を説明するための図（メッキ処理）



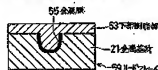
【図45】

本発明の第3実施例である半導体装置の金属膜の形成方法を説明するための図（レジスト剥離）



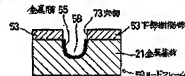
【図46】

本発明の第3実施例である半導体装置の金属膜の形成方法を説明するための図（電気絶縁膜形成）



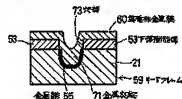
【図47】

本発明の第3実施例である半導体装置の金属膜の形成方法を説明するための図（電めり処理）



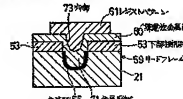
【図48】

本発明の第3実施例である半導体装置の金属膜の形成方法を説明するための図（メッキ処理）



【図49】

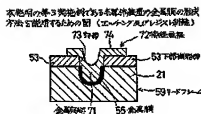
本発明の第3実施例である半導体装置の金属膜の形成方法を説明するための図（レジスト形成）



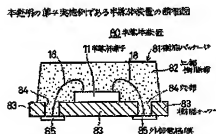
(23)

特開平9-162348

【図50】

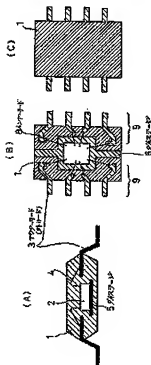


【図51】



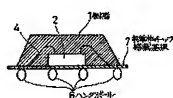
【図52】

本発明の半導体装置の半導体製造の金具板の形成方法に使用するための図



【図53】

本発明の半導体装置の半導体製造の金具板の形成方法に使用するための図



フロントページの続き

(51)Int.Cl.⁹
H01L 21/321

識別記号 庁内整理番号

FI
H01L 21/92

技術表示箇所
602 J
621 A

(24)

特開平 9 - 1 6 2 3 4 8

(72)発明者 榊茂 政一
 神奈川県川崎市中原区上小田中1015番地
 富士通株式会社内
 (72)発明者 益本 隆司
 神奈川県川崎市中原区上小田中1015番地
 富士通株式会社内

(72)発明者 迫田 英治
 神奈川県川崎市中原区上小田中1015番地
 富士通株式会社内
 (72)発明者 小野寺 正徳
 神奈川県川崎市中原区上小田中1015番地
 富士通株式会社内

特開平9-162348

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成13年4月13日(2001. 4. 13)

【公開番号】特開平9-162348
 【公開日】平成9年6月20日(1997. 6. 20)
 【申請番号】公開特許公報9-1624
 【出願番号】特開平7-322803
 【国際特許分類第7版】

H01L 23/50
 C23C 14/14
 H01L 21/56
 21/60 301
 311

// H01L 21/321
 【F I】

H01L 23/50 M
 C23C 14/14 G
 H01L 21/56 R
 21/60 301 A
 311 Q
 21/92 602 J
 621 A

【手続補正書】

【提出日】平成11年5月25日(1999. 5. 25)

【手続補正1】

【補正対象書類名】明細書
 【補正対象項目名】特許請求の範囲
 【補正方法】変更
 【補正内容】

【特許請求の範囲】

【請求項1】 半導体素子と、
 該半導体素子を封止する樹脂パッケージと、
 該樹脂パッケージの裏面に突出形成された樹脂突起と、
 該樹脂突起に配設された金属膜と、
 前記半導体素子上の電極パッドと前記金属膜とを電気的に接続する接続手段とを具備することを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、
 前記金属膜を銀(Ag)及びパラジウム(Pd)のうち一つにより形成したことを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置において、
 前記金属膜を外層よりパラジウム(Pd)層及び金(Au)層の二層により形成したことを特徴とする半導体装置。

【請求項4】 請求項1記載の半導体装置において、
 前記金属膜を、外層より金(Au)層、ニッケル(Ni)

i)層、金(Au)層の三層膜、外層よりパラジウム(Pd)層、ニッケル(Ni)層、パラジウム(Pd)層の三層膜、外層より金(Au)層、パラジウム(Pd)層、金(Au)層の三層膜、外層より半田層、ニッケル(Ni)層、金(Au)層の三層膜、及び外層より半田層、ニッケル(Ni)層、パラジウム(Pd)層の三層膜のうち一つの三層膜により形成したことを特徴とする半導体装置。

【請求項5】 請求項1記載の半導体装置において、
 前記金属膜を外層より半田層、ニッケル(Ni)層、パラジウム(Pd)層、金(Au)層の四層膜、及び外層よりパラジウム(Pd)層、ニッケル(Ni)層、パラジウム(Pd)層、金(Au)層の四層膜のうち一つの四層膜により形成したことを特徴とする半導体装置。

【請求項6】 請求項1乃至5のいずれかに記載の半導体装置を製造する際に用いるリードフレームであって、
 前記樹脂突起と対応する位置に形成された凹部と、
 該凹部に形成された請求項1乃至5のいずれかに記載の金属膜とを具備することを特徴とするリードフレーム。

【請求項7】 請求項6記載のリードフレームの製造方法であって、
 基材両面にエッチングレジストを塗布するレジスト塗布工程と、
 前記エッチングレジストの凹部形成位置に対応する部位を除去して所定のレジストパターンを形成するレジスト

付欄9-162348

パターン形成工程と、
前記基板の前記凹部形成位置に凹部を形成するエッチング工程と、

該エッチング工程で形成された凹部内に、請求項1乃至5のいずれかに記載の金属膜を形成する金属膜形成工程と、

前記エッチングレジストを除去するレジスト除去工程とを具備することを特徴とするリードフレームの製造方法。

【請求項8】 請求項7記載のリードフレームの製造方法において、
前記金属膜形成工程ではメッキ法を用いて前記金属膜を形成すると共に、

前記レジストパターン形成工程では前記メッキ処理に用いる電極が接続される給電部に対応する位置の前記エッチングレジストも除去することを特徴とするリードフレームの製造方法。

【請求項9】 請求項8記載のリードフレームを用いた半導体装置の製造方法において、
前記リードフレームに半導体素子を搭載する素子搭載工程と、

前記半導体素子に形成された電極パッドと、前記リードフレームに形成されている前記金属膜とを電気的に接続する接続工程と、

前記リードフレーム上に、前記半導体素子を封止するよう樹脂を形成し樹脂パッケージを形成する封止工程と、
前記リードフレームから前記樹脂パッケージを前記金属膜と共に分離する分離工程とを具備することを特徴とする半導体装置の製造方法。

【請求項10】 請求項9記載の半導体装置の製造方法において、

前記接続工程では前記電極パッドと前記金属膜とを電気的に接続する方法としてワイヤボンディング法を用いると共に、

先ず前記金属膜にワイヤの一端を接続し、続いて前記金属膜から前記電極パッドにワイヤを引き出した上でワイヤの他端部を前記電極パッドに接続することを特徴とする半導体装置の製造方法。

【請求項11】 請求項9または10記載の半導体装置の製造方法において、
前記分離工程では前記樹脂パッケージを前記リードフレームから引き剥がすことにより分離することを特徴とする半導体装置の製造方法。

【請求項12】 請求項9または10記載の半導体装置の製造方法において、
前記分離工程では前記リードフレームを前記金属膜を残して溶解して前記樹脂パッケージを分離することを特徴とする半導体装置の製造方法。

【請求項13】 請求項9乃至12のいずれかに記載の半導体装置の製造方法において、

前記封止工程では、前記樹脂パッケージを前記リードフレーム上に複数個夫々独立した構成で一括的に形成すると共に、

前記樹脂パッケージの形成前、または形成後に前記複数個の樹脂パッケージを接続するテープ部材を配置するテープ配設工程を有することを特徴とする半導体装置の製造方法。

【請求項14】 請求項9乃至12のいずれかに記載の半導体装置の製造方法において、

前記封止工程では、前記樹脂パッケージを前記リードフレーム上に複数個夫々連続樹脂部で接続された構成で一括的に形成すると共に、

前記分離工程を実施した後に前記連続樹脂部を除去する連続樹脂除去工程を有することを特徴とする半導体装置の製造方法。

【請求項15】 半導体素子と、
該半導体素子を封止する樹脂パッケージと、
該樹脂パッケージの裏面に配設された金属膜と、
前記半導体素子上の電極パッドと前記金属膜とを電気的に接続する接続手段とを具備することを特徴とする半導体装置において、

前記樹脂パッケージを少なくとも上下2層の樹脂部により構成したことを特徴とする半導体装置。

【請求項16】 請求項15記載の半導体装置において、

前記樹脂パッケージの最下層に位置する樹脂部は、前記裏面に突出形成された樹脂突起を有しており、

該樹脂突起に前記金属膜が形成されていることを特徴とする半導体装置。

【請求項17】 請求項15記載の半導体装置において、

前記樹脂パッケージの最下層に位置する樹脂部を絶縁性樹脂テープにより形成したことを特徴とする半導体装置。

【請求項18】 半導体素子と、
該半導体素子を封止する樹脂パッケージと、
該樹脂突起に配設された金属膜と、

前記金属膜に立設するよう形成されており、下端部が前記金属膜と接続された接続電極と、

前記半導体素子上の電極パッドと、前記接続電極の上端部とを電気的に接続する接続手段とを具備することを特徴とする半導体装置。

【請求項19】 請求項18記載の半導体装置において、

前記接続電極を、
前記樹脂突起の直さ方向に延在するよう形成され、下端部が前記金属膜に接続される第1の接続部と、

該第1の接続部の前記直さ方向上部に、前記樹脂突起の側方に延在するよう形成された第2の接続部とにより構成したことを特徴とする半導体装置。

特開平9-162348

【手続修正2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】

【課題を解決するための手段】上記の課題は、下記の手段を講じることにより解決することができる。請求項1記載の発明では、半導体素子と、該半導体素子を封止する樹脂パッケージと、該樹脂パッケージの裏面に突出形成された樹脂突起と、該樹脂突起に配設された金属膜と、前記半導体素子上の電極パッドと前記金属膜とを電気的に接続する接続手段とを具備することを特徴とするものである。

【手続修正3】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】また、請求項7記載の発明では、前記請求項6記載のリードフレームの製造方法であって、基材両面にエッチングレジストを塗布するレジスト塗布工程と、前記エッチングレジストの凹部形成位置に対応する部位を除去して所定のレジストパターンを形成するレジストパターン形成工程と、前記基板の前記凹部形成位置に凹部を形成するエッチング工程と、該エッチング工程で形成された凹部に、請求項1乃至5のいずれかに記載の金属膜を形成する金属膜形成工程と、前記エッチングレジストを除去するレジスト除去工程とを具備することを特徴とするものである。

【手続修正4】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正内容】

【0023】また、請求項17記載の発明では、前記請求項15記載の半導体装置において、前記樹脂パッケージの最下層に位置する樹脂部を絶縁性樹脂テープにより形成されていることを特徴とするものである。また、請求項18記載の発明では、半導体素子と、該半導体素子を封止する樹脂パッケージと、該樹脂突起に配設された金属膜と、前記金属膜に立設するよう形成されており、下層部が前記金属膜と接続された接続電極と、前記半導体素子上の電極パッドと、前記接続電極の上端部とを電気的に接続する接続手段とを具備することを特徴とするものである。また、請求項19記載の発明では、前記請求項18記載の半導体装置において、前記接続電極を、前記樹脂突起の高さ方向に延在するよう形成され、下層部が前記金属膜に接続される第1の接続部と、該第1の接続部の前記高さ方向上部に、前記樹脂突起の側方に延

在するよう形成された第2の接続部とにより構成したことを特徴とするものである。

【手続修正5】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正内容】

【0035】また、請求項17記載の発明によれば、樹脂パッケージの最下層に位置する樹脂部を絶縁性樹脂テープにより形成することにより、最下層を形成するための金型（リードフレーム）は不要となりコスト低減を図ることができる。また、請求項18及び請求項19記載の発明によれば、金属膜に立設するよう接続電極を形成し、その下層部（第1の接続部の下層部）が金属膜と接続された構成とすることにより、半導体素子上の電極パッドと接続された接続手段を接続電極の上端部（第2の接続部）に接続することが可能となる。

【手続修正6】

【補正対象書類名】明細書

【補正対象項目名】0067

【補正方法】変更

【補正内容】

【0067】素子搭載工程が終了すると、リードフレーム20はワイヤボンディング装置に装着され、図16に示されるように、半導体素子11に形成された電極パッド14と、リードフレーム20に形成されている金属膜13C（具体的には、内層13C-3）との間にワイヤ18を配設し、半導体素子11と金属膜13Cとを電気的に接続する（接続工程）。

【手続修正7】

【補正対象書類名】明細書

【補正対象項目名】0073

【補正方法】変更

【補正内容】

【0073】図19は、1個の半導体装置に対応する樹脂パッケージ12を拡大して示す図である。同図に示されるように、樹脂29はホール下金型（上型）に形成されているキャビティ（図示せず）により所定形状に形成されると共に、リードフレーム20が下層の機能を奏し、凹部22の内部（具体的には金属膜13Cの内部）にも樹脂29は充填されて樹脂突起17を形成する。この状態において、樹脂パッケージ12はリードフレーム20に添着された状態とされている。上記のように樹脂パッケージ12が形成されると、各樹脂パッケージ12間に形成されていたゲート内樹脂、ランナー31内に残存した樹脂、及びカル30は除去され、図20に示されるように各樹脂パッケージ12は個々独立した構成となる。しかるに、前記のように各樹脂パッケージ12はリードフレーム20に添着された状態となっているため、個々独立した状態となっても各樹脂パッケージ12

特開平 9-162348

がリードフレーム 20 から離脱することはない。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0089

【補正方法】変更

【補正内容】

【0089】また、図 28 は分組工程の変形例を示している。前記した実施例においては、樹脂パッケージ 12 をリードフレーム 20 から分離するのにエッチング方法を用いた。本変形例では、リードフレーム 20 を溶解することなく、樹脂パッケージ 12 をリードフレーム 20 から引き剥がすことにより、機械的に樹脂パッケージ 12 をリードフレーム 20 から分離することを特徴とす

る。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0130

【補正方法】変更

【補正内容】

【0130】また、請求項 17 記載の発明によれば、最下層を形成するための金型（リードフレーム）は不要となりコスト低減を図ることができる。また、請求項 18 及び請求項 19 記載の発明によれば、金属膜と半導体素子とを接続手段及び接続電極を介して電気的に接続することができる。

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-230345

(43)Date of publication of application : 24.08.2001

(51)Int.Cl.

H01L 23/28

H01L 23/12

H01L 23/50

(21)Application number : 2000-045146

(71)Applicant : SUMITOMO METAL MINING CO
LTD

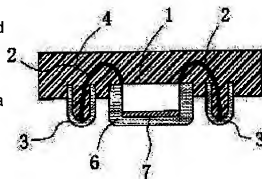
(22)Date of filing : 17.02.2000

(72)Inventor : HISHIKI KAORU
SHIMIZU YASUNARI(54) SEMICONDUCTOR DEVICE, ITS MANUFACTURING METHOD AND LEAD FRAME
FOR USE IN MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which has a high long-time reliability and can attain a high density structure at a low cost, a lead frame used for manufacturing the device and a method of manufacturing a semiconductor device suited for miniaturization.

SOLUTION: The semiconductor device is composed of a semiconductor element 1, outer electrodes 3 connected by wire bonding 2 to electrodes of the semiconductor element 1, and an electrically insulative resin 4 sealing them in one body. The outer electrodes 3 and a recessed die pad 6 for the semiconductor element 1 are constituted so that their tops project at least 0.003 mm into the sealing resin 4.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-230345

(P2001-230345A)

(43) 公開日 平成13年8月24日 (2001.8.24)

(51) Int. Cl. ⁷	識別記号	F I	テロトノ(参考)
H 0 1 L 23/28		H 0 1 L 23/28	A 4 M 1 0 9
23/12		23/50	S 5 F 0 6 7
23/50			U
			V
		23/12	L
		審査請求	未請求 請求項の数15 O L (全 7 頁)
(21) 出願番号	特願2000-45146(P2000-45146)	(71) 出願人	000183308 住友金属鉱山株式会社 東京都港区新橋5丁目11番3号
(22) 出願日	平成12年2月17日 (2000.2.17)	(72) 発明者	藤木 薫 鹿児島県大口市上町15-11 フォレストイ 八坂105号
		(72) 発明者	清水 康也 鹿児島県大口市青木3023-8 サンライズ みよし A203号
		(74) 代理人	100066824 弁理士 徳原 泰司 (外1名)

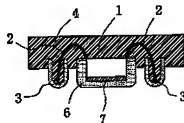
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法並びにその製造に用いられるリードフレーム

(57) 【要約】

【課題】 長期信頼性が高く、低コストで高密度化を達成し得る半導体装置と、これを製造するのに用いられるリードフレームと、小型化に好適な半導体装置の製造方法を提供する。

【解決手段】 半導体素子1と、該半導体素子1の電極とワイヤーボンディング2により接続された外部電極3と、これらを一体的に封止した電気絶縁性樹脂4とから成る半導体装置、外部電極3と半導体素子1のための凹形状ダイバット6との上部は前記封止用樹脂4中に少なくとも0.003mm突出するように構成されている。



1

【特許請求の範囲】

【請求項 1】 半導体素子と、該半導体素子の電極に接続された外部電極と、前記半導体素子と外部電極を一体的に封止する電気絶縁性樹脂とから主として構成される半導体装置において、前記外部電極の上部が前記封止樹脂中に少なくとも 0.03mm 突出するように構成されていることを特徴とする半導体装置。

【請求項 2】 半導体素子と、該半導体素子の電極に接続された外部電極と、前記半導体素子を保持する凹形状ダイパットと、これらを一体的に封止する電気絶縁性樹脂とから主として構成される半導体装置において、前記外部電極の上部と前記凹形状ダイパットの上部が共に前記封止樹脂中に少なくとも 0.03mm 突出するように構成されていることを特徴とする半導体装置。

【請求項 3】 前記外部電極の上部端に鉤が形成されていることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記凹形状ダイパットの上部端外周に鉤が形成されていることを特徴とする請求項 2 に記載の半導体装置。

【請求項 5】 前記外部電極が凹形状をなして上部端が底部端より大きくなっていることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 6】 前記外部電極又は前記外部電極及び凹形状ダイパットは、金、銀、銅、パラジウム、チタン又はニッケルのうち少なくとも一種類の金属から成っていることを特徴とする請求項 1 乃至 5 の何れかに記載の半導体装置。

【請求項 7】 前記外部電極の上部の前記封止樹脂中への突出長さが、0.1mm 以下であることを特徴とする請求項 1 乃至 6 の何れかに記載の半導体装置。

【請求項 8】 前記凹形状ダイパットの上部の前記封止樹脂中への突出長さが、0.1mm 以下であることを特徴とする請求項 2、4、6 の何れかに記載の半導体装置。

【請求項 9】 用いられる半導体素子の電極数と少なくとも一致した数の凹形状外部電極を有し、該外部電極とは異なる材質を用いて構成されている、前記外部電極の上部は前記リードフレームの表面より少なくとも 0.03mm 突出せしめられていることを特徴とする請求項 1 乃至 8 の何れかに記載の半導体装置を製造するのに用いられるリードフレーム。

【請求項 10】 用いられる半導体素子を收容し得る凹形状ダイパットと、前記半導体素子の電極数と少なくとも一致した数の凹形状外部電極とを有し、前記凹形状ダイパットと前記凹形状外部電極とは異なる材質を用いて構成されている、前記凹形状ダイパットの上部と前記凹形状外部電極の上部は前記リードフレームの表面より少なくとも 0.03mm 突出せしめられていることを特徴とする請求項 2 乃至 8 の何れかに記載の半導体装置を製造するのに用いられるリードフレーム。

(2)

特開 2001-230345

2

【請求項 11】 前記リードフレームは鉄合金、銅、銅合金の何れから成り、前記外部電極は金、銀、パラジウム、チタン又はニッケルの群から選ばれる少なくとも一種類の金属で構成されていることを特徴とする請求項 9 に記載のリードフレーム。

【請求項 12】 前記リードフレームは鉄合金、銅、銅合金の何れから成り、前記凹形状ダイパット及び外部電極は金、銀、銅、パラジウム、チタン又はニッケルの群から選ばれる少なくとも一種類の金属で構成されていることを特徴とする請求項 10 に記載のリードフレーム。

【請求項 13】 前記外部電極の上部は前記リードフレームの表面より突出する高さが 0.1mm 以下であることを特徴とする請求項 9 又は 11 に記載のリードフレーム。

【請求項 14】 前記凹形状ダイパットの上部と前記外部電極の上部は前記リードフレームの表面より突出する高さが 0.1mm 以下であることを特徴とする請求項 10 又は 12 に記載のリードフレーム。

【請求項 15】 半導体素子をリードフレームのダイパット上に載置して接合した後、前記半導体素子の電極と前記リードフレームの外部電極とをワイヤーボンディングで接続し、次に前記半導体素子とワイヤーボンディングと外部電極を、前記リードフレーム溶解除去液に前記外部電極の一部が露出するように前記封止した後、前記リードフレームを溶解除去するようにしたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置とこれを組み立てるために用いられるリードフレームと小型化に好適な半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、携帯電話等に代表されるように、電子機器の小型化、低コスト化が推進されている。このため、そのような電子機器に用いられる半導体装置の高密度化、軽量化及び回路密接への高実装率が図られている。又、この電子機器の信頼性の向上も望まれているため、半導体装置の高密度化、信頼性の向上が求められている。更に、一方で、半導体装置の製造コストの低減も望まれている。そこで、現在では、これらの要求を総て満たす半導体装置が必要となって来ている。

【0003】ところで、従来、半導体装置の高密度化という観点からは、フリップチップ方式の実装技術が知られている。これは、半導体素子を裸のまま実装基板上に直接搭載するため、高密度化と共に電気特性を向上させることが可能となるが、半導体素子が樹脂封止されないため、耐熱性、機械的強度及び耐湿性といった点で問題がある。これに対して、通常広く用いられている半導体装置は、半導体素子を樹脂封止して構成されており、耐

(3)

特開2001-230345

3

特性、機械的強度、耐湿性といった点では問題がないものの、構造上実装面積を広くする必要性があるため、高密度化を達成することが出来ないという欠点がある。

【0004】また、近年、フリップチップ装置よりも実装密度は低いものの、既存の半導体装置と同様に取扱いえるボール・グリット・アレイ(BGA)やチップ・サイズ・パッケージ(CSP)が開発されている。しかしながら、これらの半導体装置は、封止樹脂やプリント配線基板等の絶縁層を介して半導体素子と外部端子とを接続することが必要になる。このため、絶縁層に開口部を設け、この開口部に導体層を形成してこれを導通経路としなければならないが、この開口部を設ける工程が半導体装置の製造工程の大きなネックとなり、製造コストの上昇を招く結果となっている。又、半導体装置に回路基板が組み込まれる形となることから、軽量化が図れないと云う問題点もある。

【0005】このような問題点を解消するものとして、従来、図11及び図12に示すような構造の半導体装置が提案されている。この半導体装置は、半導体素子1と、該半導体素子1の電極にワイヤーボンディング2により接続された外部電極3と、これらを一体的に封止する樹脂層4とから構成されているが、この半導体装置を得るには、図13(a)及び(b)に示すようなリードフレームが用いられ、図14(a)及び(b)に示すような手順で製造される。即ち、図11に示す半導体装置は、鉄合金、銅又は銅合金等から成るリードフレーム材の表面にレジスト層を塗布し、所定のマスクを用いて露光・現像して、外部電極3に対応する位置のレジスト層を除去し、そのリードフレーム材をハーフエッチングして、外部電極3を形成する凹形状部5aを形成し、そして、金、銀、銅、パラジウム、チタン又はニッケルの群から選ばれた少なくとも一種類の金属を用いて上記凹形状部5aの内面にメッキ層を設けることにより図13(a)に示した如きリードフレーム5を得た後、図14(a)に示すように、このリードフレーム5のダイパット部に半導体素子1を搭載し、図14(b)に示すように半導体素子1の電極と外部電極3とをワイヤーボンディング2により接続し、その後、図14(c)に示すように樹脂層4によりこれらを封止し、最後にリードフレーム5を溶解除去することにより得られる。また、図12に示す半導体装置も、上述のようにして得られる外部電極3を形成する凹形状部5aと半導体素子1を収容する凹形状部5bを有するリードフレーム5(図13(b)参照)を用いて、図14(a)、(b)及び(c)に示す如き上述と同様の工程を経て製造される。

【0006】

【発明が解決しようとする課題】このようにして、従来も低コストを維持しつつ回路基板への実装密度の向上と軽量化を可能にした半導体装置を提供することは出来たが、この半導体装置を回路基板に搭載し使用に供する

4

と、長期信頼性の点で問題のあることが分かった。具体的には、外部電極の破壊が生じ易いという問題点が指摘されている。

【0007】本発明は、従来技術の有るこのような問題点に鑑みてなされたものであり、その目的とするところは、長期信頼性が高く、低コストで高密度化を達成し得る半導体装置と、これを製造するのに用いられるリードフレームと、小型化に好適な半導体装置の製造方法とを提供しようとするものである。

【0008】

【課題を解決するための手段】上記目的を達成するために、本発明による半導体装置は、半導体素子と、該半導体素子の電極に接続された外部電極と、前記半導体素子と外部電極を一体的に封止する電気絶縁性樹脂層とから主として構成される半導体装置において、前記外部電極の上部が前記封止樹脂中に少なくとも0.03mm突出するように構成されていることを特徴としている。

【0009】また、本発明による半導体装置は、半導体素子と、該半導体素子の電極に接続された外部電極と、前記半導体素子を保持する凹形状ダイパットと、これらを一体的に封止する電気絶縁性樹脂層とから主として構成される半導体装置において、前記外部電極の上部と前記凹形状ダイパットの上部が共に前記封止樹脂中に少なくとも0.03mm突出するように構成されていることを特徴としている。

【0010】本発明によれば、前記外部電極の上部端及び前記凹形状ダイパットの上部端外周に鈎が形成されていることを特徴としている。

【0011】また、本発明によれば、前記外部電極は凹形状をなし、上部端が底面径よりも大きくなるように形成されていることを特徴としている。

【0012】また、本発明によれば、前記外部電極及び凹形状ダイパットは、金、銀、銅、パラジウム、チタン又はニッケルのうち少なくとも一種類の金属から成っている。

【0013】また、本発明によれば、前記外部電極の上部の前記封止樹脂中への突出長さ及び前記凹形状ダイパットの上部の前記封止樹脂中への突出長さが、0.1mm以下であることを特徴としている。

【0014】上記目的を達成するために、本発明によるリードフレームは、用いられる半導体素子の電極数と少なくとも一致した数の凹形状外部電極を有し、該外部電極とは異なる材質を用いて構成されていて、前記外部電極の上部は前記リードフレームの表面より少なくとも0.03mm突出せしめられていることを特徴としている。

【0015】また、本発明によるリードフレームは、用いられる半導体素子を収容する凹形状ダイパットと、前記半導体素子の電極数と少なくとも一致した数の凹形状外部電極とを有し、前記凹形状ダイパットと前記凹形

(4)

特開 2001-230345

5

状外部電極とは異なる材質を用いて構成されていて、前記凹形状ダイパットの上部と前記凹形状外部電極の上部は前記リードフレームの表面より少なくとも、 0.03 mm 突出せしめられていることを特徴としている。

【0016】また、本発明によれば、前記リードフレームは鉄合金、銅、銅合金の何れかから成り、前記凹形状ダイパット及び外部電極は金、銀、銅、パラジウム、チタン又はニッケルの群から選ばれた少なくとも一種類の金属で構成されていることを特徴としている。

【0017】本発明による半導体装置の製造方法は、半導体素子をリードフレームのダイパット上に設置して接合した後、前記半導体素子の電極と前記リードフレームの外部電極とをワイヤーボンディングで接続し、次に前記半導体素子とワイヤーボンディングと外部電極を、リードフレーム溶解除去後に前記外部電極の一部が露出するように樹脂封止した後、前記リードフレームを溶解除去するようにしたことを特徴としている。

【0018】

【発明の実施の形態】以下、本発明の実施の形態を図示した実施例に基づき説明する。各実施例において、従来技術で説明したのと実質上同一の部分及び部分には同一符号が付されており、詳細な説明は省略されている。図1は、本発明に係る半導体装置の一実施例の構成を示す断面図である。本実施例の半導体装置は、背面に凹形状ダイパット6が絶縁性接着剤7により接合された半導体素子1と、半導体素子1の電極とワイヤーボンディング2により接続された外部電極3と、これらを封止する電気絶縁性樹脂4とから成っていて、凹形状ダイパット6の上部と外部電極3の上部とが封止樹脂4中に 0.03 mm 突出するように構成されている。このように本実施例によれば、外部電極3の上部と凹形状ダイパット6の上部が樹脂4により電気的に封止固定されているから、半導体装置としての耐熱性及び機械的強度並びに耐湿性が良好であるばかりか、長期安定性を向上させることが出来る。又、半導体装置全体の厚さも厚くなり過ぎることなく小型化を達成することができ、更に、外部電極3が露出しているため簡単に実装基板に接合することが出来る。なお、本実施例による半導体装置を用いてカップシヤ強度を測定して端子接合強度を評価した結果、カップシヤ強度は従来品の2倍以上であった。

【0019】図2は本発明に係る半導体装置の他の実施例の構成を示す断面図である。本実施例の半導体装置は、凹形状ダイパットを用いず、半導体素子1が封止樹脂4中に完全に埋没しており、且つ外部電極3の上部が封止樹脂4中に 0.1 mm 突出するように構成されている点で、図1の実施例とは異なる。この実施例による半導体装置も図1の実施例と同様の作用効果を有するが、この半導体装置を用いてカップシヤ強度を測定して端子接合強度を評価した結果、カップシヤ強度は従来品の2.5倍であった。

6

【0020】図3は本発明に係る半導体装置の更に他の実施例の構成を示す断面図である。本実施例の半導体装置は、外部電極3の上部が封入樹脂4中に 0.1 mm 突出し且つ外部電極3の上部側外側に幅 0.4 mm の罫3aが形成されている点で図1の実施例とは異なる。この実施例も図1の実施例と同様の作用効果を有するが、カップシヤ強度を測定して端子接合強度を評価した結果、カップシヤ強度は従来品の3倍であった。なお、このような罫3aは凹形状ダイパット6の上部側外側に形成することが出来るが、それにより、半導体素子1は一種安定に保持され得る。

【0021】図4は本発明に係る半導体装置の更に他の実施例の構成を示す断面図である。本実施例の半導体装置は、外部電極3の上部が封入樹脂4中に 0.03 mm 突出し且つその側面が垂直面に対して 10° の傾斜角を以て上端に向けて開くように形成されている点で図3の実施例とは異なる。即ち、この実施例によれば、外部電極3の上部迄が底部迄よりも大きくするように形成されている。この実施例も基本的には図1の実施例と同様の作用効果を有するが、カップシヤ強度を測定して端子接合強度を評価した結果、カップシヤ強度は従来品の1.4倍であった。

【0022】図5は本発明に係る半導体装置の更に他の実施例の要部構成を示す断面図である。この実施例は、凹形状ダイパット6の一部にアース用ボンディング接点部6aを形成して安定な接合が出来るようになり、従来構造における如きボンディングの不安定性を解消するようにしたものである。

【0023】図6は本発明に係る半導体装置の更に他の実施例の構成を示す断面図である。本実施例は、封止樹脂4に外部電極3の一部が露出するような開口4aが形成され、この開口4aに半田ボール7が挿入されて外部電極3と半田ボール8が接合されるように構成されている点で特徴を有する。これにより、図1の実施例と同様の作用効果を有するBGAタイプの半導体装置を提供することが出来る。

【0024】図7は本発明に係るリードフレームの一実施例を示す断面図で、図1に示した半導体装置を製造するのに用いられる。このリードフレーム5には所定数の凹形状の外部電極3とダイパット6が形成され、外部電極3とダイパット6の上部は何れもリードフレーム5の表面上 0.03 mm 突出せしめられている。この突出高さは、 0.03 mm 未満で樹脂封止した場合に十分な強度が得られず、余り高くすると半導体装置の厚さが厚くなり過ぎ、小型化の要求を満たし得なくなる。このような凹形状の外部電極3やダイパット6は、周知のフォトリソグラフィ法を用いて容易に作成することが出来る。

【0025】次に、図8を用いて上記リードフレーム5の製造方法を説明する。この図においては、説明の都合上、リードフレーム5が上側に薄板として斜視図で、下

(5)

特開2001-230345

7

側に厚さを誇張した断面図で矢印対をなすように、略示されている。先ず、図8(a)に示すリードフレーム5となる薄板上に、図8(b)に示すようにレジスト9を塗布する。本実施例では、厚膜0.125mmの銅箔に厚さ0.025mmのドライフィルムをレジスト9としてラミネートして用いた。次に、外部電極3と凹形状ダイパット6を形成するためのパターンを描いたマスクを用いてレジスト9にそのパターンを焼き付けた後、炭酸ナトリウム水溶液で現像し、エッチングのためのレジストパターン9'を形成する(図8(c)参照)。次に、このレジストパターン9'の上から5%の塩化第二鉄水溶液をスプレーして凹形状の外部電極3と凹形状ダイパット6となる凹部5a(5b)を形成する(図8(d)参照)。次に、この凹部5a(5b)の内面にメッキを施して凹形状電極3と凹形状ダイパット6を形成した(図8(e)参照)。メッキ材(電極材料)としては、パラジウム(Pd)/ニッケル(Ni)パラジウム(Pd)を用いた。そして、更に、レジスト9を苛性ソーダで剥離して、表面に再度レジストをラミネートし、リードフレーム5の表面をハーフエッチングし、その後このレジストを苛性ソーダで剥離して図7に示した如きリードフレーム5を得た(図8(f)参照)。この場合、ハーフエッチングの時間が、外部電極3とダイパット6の各上部突出高さを決定する。

【0026】本実施例では、リードフレーム5として銅材を用いたが、これに限定されるものではなくレジスト材料と共に一般に用いられる材料即ち鉄合金や銅合金等が使用され得る。又、電極材料としては、後述する半導体装置の製造工程で用いられるリードフレーム5の溶解液によって腐食されず、且つワイヤボンディング性と半田濡れ性が確保されるものであれば何でも良く、一般には、金、銀、パラジウム、チタン又はニッケルの群から選ばれた少なくとも一種類の金属が用いられる。なお、本実施例では、メッキ法により外部電極3を形成したが、同様な構成が得られる他の方法を用いても良い。

【0027】図9は本発明に係るリードフレームの他の実施例を示す断面図で、図2に示した半導体装置を製造するのに用いられる。この実施例のリードフレーム5は、外部電極3のみを形成するためのパターンを描いたマスクを用い、上記と同様の処理工程を経て製造されており、外部電極3は半導体素子1を実装するときの位置を決定するのに役立つようになっている。そして、外部電極3の上部はリードフレーム5の表面上に、0.1mm突出している。

【0028】次に、図8を参照して、図3に示した半導体装置を製造するのに用いられるリードフレーム5の製造方法について説明する。先ず、図8に示した工程を経て外部電極3とダイパット6を形成したリードフレーム5を得た後、再度、この外部電極3とダイパット6のパターンと、外部電極3に関しては最初に用いたマスクよ

8

り径の大きい開口とを有するメッキ用マスク(図示せず)を用いて同様にメッキを行うことにより、図3に示した如き導3aを有する凹形状の外部電極3を得る。その後、レジストを苛性ソーダで剥離し、次いで、リードフレーム5の表面にレジストを塗布し、リードフレーム5の表面をハーフエッチングして導3a外部電極3とダイパット6の各上部を所定高さ突出させる。本実施例では、上記開口の径を0.8mmとした。なお、外部電極3の断面形状を図4に示すように傾斜した側面とするには、図8(d)に示すエッチング時のエッチング条件を適宜選定すれば良く、その傾斜角はこのエッチング条件を選定することにより容易に選択することが出来る。

【0029】図10は本発明に係る半導体装置の製造方法の一実施例を示す断面図で、図7に示したリードフレーム5を用いて図1に示した半導体装置を製造する手順を示している。先ず、図10(a)に示すように、リードフレーム5の凹形状ダイパット6に、背面に電気絶縁性の接着剤7として熱硬化型ポリイミド樹脂接着フィルムが塗布された半導体素子1を接合し、次に、リードフレーム5の外部電極3と半導体素子1の電極とをワイヤボンディング2により接続する。次にこれらを封止樹脂4により一体的に封止する(図10(b)参照)。その後、リードフレーム5ごと樹脂封止された半導体装置を過熱炭酸ナトリウム水溶液中に浸漬して、リードフレーム5を溶解除去し、半導体装置を完成する(図10(c)参照)。このように、容易且つ確固に本発明に係る半導体装置を大量生産することが出来る。

【0030】上記実施例と同様の手順により、図9に示したリードフレーム5を用いて半導体装置を製造すれば、図2に示した如き構造の半導体装置を得ることが出来る。

【0031】

【発明の効果】上述のように、本発明によれば、長期信頼性が高く、高密度化を低コストで達成できる半導体装置と、これを製造するためのリードフレームを提供することができ、更に、小型化に好適な半導体装置を得ることが出来る。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の一実施例の構成を示す断面図である。

【図2】本発明に係る半導体装置の他の実施例の構成を示す断面図である。

【図3】本発明に係る半導体装置の更に他の実施例の構成を示す断面図である。

【図4】本発明に係る半導体装置の更に他の実施例の構成を示す断面図である。

【図5】本発明に係る半導体装置の更に他の実施例の構成を示す断面図である。

【図6】本発明に係る半導体装置の更に他の実施例の構成を示す断面図である。

(6)

特開2001-230345

9

10

【図7】本発明に係るリードフレームの一実施例の構成を示す断面図である。

【図8】本発明に係るリードフレームの製造手順を説明するための工程図である。

【図9】本発明に係るリードフレームの他の実施例の構成を示す断面図である。

【図10】本発明に係る半導体装置の製造手順を説明するための工程図である。

【図11】従来の半導体装置の一例の構成を示す断面図である。

【図12】従来の半導体装置の他の例の構成を示す断面図である。

【図13】従来の半導体装置を製造するのに用いられる互いに異なる二つのリードフレームの構造を示す断面図である。

*【図14】図11に示す半導体装置の製造手順を説明するための工程図である。

【図15】図12に示す半導体装置の製造手順を説明するための工程図である。

【符号の説明】

- | | |
|----|------------|
| 1 | 半導体素子 |
| 2 | ワイヤーボンディング |
| 3 | 外部電極 |
| 4 | 封止樹脂 |
| 5 | リードフレーム |
| 6 | 凹形状ダイバット |
| 7 | 絶縁性接着剤 |
| 8 | 半田ボール |
| 9 | レジスト |
| 9' | レジストパターン |

【図1】

【図2】

【図3】

【図4】

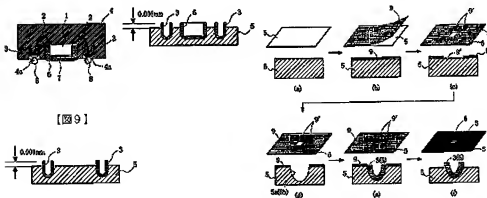
【図5】



【図6】

【図7】

【図8】



【図9】



【図11】

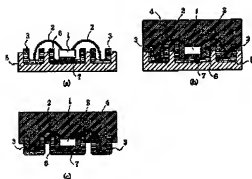
【図12】



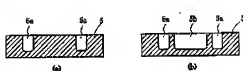
(7)

特開2001-230345

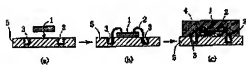
【図10】



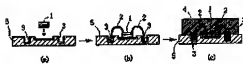
【図13】



【図14】



【図15】



フロントページの続き

Fターム(参考) 48109 AA01 BA01 CA21 DA04 DA10
 DB02 FA04
 5F067 AA01 AA03 AA09 AB04 BB04
 BB05 BC12 BE02 CA03 DA16
 DC13 DC17 DE08 DE10 DF02
 EA01 EA04 EA05